

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年    9 月 2 5 日  
Date of Application:

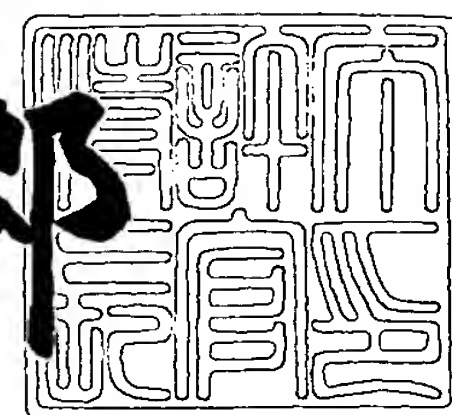
出 願 番 号            特 願 2 0 0 2 - 2 7 8 7 2 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 2 7 8 7 2 4 ]

出      願      人            株式会社半導体エネルギー研究所  
Applicant(s):

2 0 0 3 年    7 月    8 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太 田 信 一 郎



出 証 番 号    出 証 特 2 0 0 3 - 3 0 5 3 7 7 3

【書類名】 特許願

【整理番号】 P006625

【提出日】 平成14年 9月25日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 納 光明

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロックドインバータ及びシフトレジスタ

【特許請求の範囲】

【請求項 1】

直列に接続された第 1 及び第 2 トランジスタを有するクロックドインバータにおいて、

直列に接続された第 3 及び第 4 トランジスタで構成される補償回路を有し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 4 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 2 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第 1 及び前記第 4 トランジスタは P 型トランジスタであり、前記第 2 及び前記第 3 トランジスタは N 型トランジスタであることを特徴とするクロックドインバータ。

【請求項 2】

直列に接続された第 1 及び第 2 トランジスタを有するクロックドインバータにおいて、

直列に接続された第 3 及び第 4 トランジスタで構成される補償回路を有し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 4 トランジスタのソースは電氣的に低電位電源に接続され、

前記第2トランジスタのソースは電氣的に高電位電源に接続され、

前記第3トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第1及び前記第4トランジスタはN型トランジスタであり、前記第2及び前記第3トランジスタはP型トランジスタであることを特徴とするクロックドインバータ。

**【請求項3】**

直列に接続された第1乃至第3トランジスタを有するクロックドインバータにおいて、

直列に接続された第4及び第5トランジスタで構成される補償回路を有し、  
前記第4トランジスタのゲート及び前記第5トランジスタのゲートは互いに接続され、

前記第4トランジスタのドレイン及び前記第5トランジスタのドレインは、前記第1トランジスタのゲートに接続され、

前記第1及び前記第5トランジスタのソースは電氣的に高電位電源に接続され、

前記第3トランジスタのソースは電氣的に低電位電源に接続され、

前記第4トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第1及び前記第5トランジスタはP型トランジスタであり、前記第2乃至前記第4トランジスタはN型トランジスタであることを特徴とするクロックドインバータ。

**【請求項4】**

直列に接続された第1乃至第3トランジスタを有するクロックドインバータにおいて、

直列に接続された第4及び第5トランジスタで構成される補償回路を有し、  
前記第4トランジスタのゲート及び前記第5トランジスタのゲートは互いに接続され、

前記第4トランジスタのドレイン及び前記第5トランジスタのドレインは、前

記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され

、

前記第 3 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 4 トランジスタのソースに入力される信号の振幅は電源電位の幅よりも小さく、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは P 型トランジスタであることを特徴とするクロックドインバータ。

**【請求項 5】**

請求項 1 又は請求項 2 において、前記第 3 トランジスタをアナログスイッチに置換することを特徴とするクロックドインバータ。

**【請求項 6】**

請求項 3 又は請求項 4 において、前記第 4 トランジスタをアナログスイッチに置換することを特徴とするクロックドインバータ。

**【請求項 7】**

直列に接続された第 1 乃至第 3 トランジスタを有するクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタであって、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され

、

前記第 3 トランジスタのソースは高電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第  $n$  段に配置された前記補償回路の入力端子には第  $(n-1)$  段で発生したパルスが入力され、

第  $n$  段に配置された前記第 4 トランジスタのソースには第  $(n-2)$  段で発生したパルスが入力され、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは P 型トランジスタであることを特徴とするシフトレジス

タ。

【請求項 8】

直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 3 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第  $n$  段に配置された前記補償回路の入力端子には第  $(n-1)$  段で発生したパルスが入力され、

第  $n$  段に配置された前記第 4 トランジスタのソースには第  $(n-2)$  段で発生したパルスが入力され、

前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは N 型トランジスタであることを特徴とするシフトレジスタ。

【請求項 9】

直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 3 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第  $n$  段に配置された前記補償回路の入力端子には第  $(n-1)$  段で発生したパルスが入力され、

第  $n$  段に配置された前記第 4 トランジスタのソースはクロック信号が入力され、

前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至

前記第 4 トランジスタは N 型トランジスタであることを特徴とするシフトレジスタ。

【請求項 1 0】

直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 3 トランジスタのソースは高電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第  $n$  段に配置された前記補償回路の入力端子には第  $(n-1)$  段で発生したパルスが入力され、

第  $n$  段に配置された前記第 4 トランジスタのソースはクロック信号が入力され、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは P 型トランジスタであることを特徴とするシフトレジスタ。

【請求項 1 1】

請求項 7 乃至請求項 1 0 のいずれか一項において、前記第 4 トランジスタをアナログスイッチに置換することを特徴とするシフトレジスタ。

【請求項 1 2】

請求項 7 乃至請求項 1 0 のいずれか一項において、前記第 2 トランジスタを削除することを特徴とするシフトレジスタ。

【請求項 1 3】

直列に接続された第 1 クロックドインバータ及びインバータ、並びに前記インバータとループを構成する第 2 クロックドインバータを有する段が複数設けられたシフトレジスタにおいて、

第  $n$  段から発生するパルスを用いて、前記第  $n$  段に配置されたトランジスタを動作させ、前記第  $n$  段のパルスの立ち上がり、立ち下がりを助けることを特徴と

するシフトレジスタ。

【請求項 1 4】

直列に接続された第 1 クロックドインバータ及びインバータ、並びに前記インバータとループを構成する第 2 クロックドインバータを有する段が複数設けられたシフトレジスタにおいて、

前記第 1 クロックドインバータを構成する第 1 トランジスタの電流能力は、前記第 2 クロックドインバータを構成する第 2 トランジスタの電流能力よりも弱く、

前記第 1 クロックドインバータを構成するトランジスタのリーク電流による誤動作を抑制して、前記第 2 クロックドインバータから出力される信号が VDD 及び VSS の一方から他方に切り替わることを特徴とするシフトレジスタ。

【請求項 1 5】

直列に接続された第 1 及び第 2 トランジスタを備えた第 1 クロックドインバータと、前記第 1 クロックドインバータとループを構成するインバータと、N 型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられたシフトレジスタにおいて、

前記第 1 トランジスタは P 型トランジスタであり、前記第 2 トランジスタは N 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に高電位電源に接続され、

前記第 2 トランジスタのゲートには、前記 N 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは低電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とするシフトレジスタ。

【請求項 1 6】

直列に接続された第 1 及び第 2 トランジスタを備えた第 1 クロックドインバータと、前記第 1 クロックドインバータとループを構成するインバータと、P 型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられ



たシフトレジスタにおいて、

前記第 1 トランジスタは N 型トランジスタであり、前記第 2 トランジスタは P 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に低電位電源に接続され、

前記第 2 トランジスタのゲートは前記 P 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは高電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とするシフトレジスタ。

#### 【発明の詳細な説明】

##### 【 0 0 0 1 】

#### 【発明の属する技術分野】

本発明は、クロックドインバータに係る技術分野に関する。またクロックドインバータを単位回路として構成したシフトレジスタに係る技術分野に関する。さらに、NAND、NORなどの電気回路に係る技術分野に属する。

##### 【 0 0 0 2 】

#### 【従来の技術】

近年、液晶表示装置や発光装置などの表示装置は、携帯機器向けの需要の増加から、活発に開発が進められている。特に絶縁体上に多結晶半導体（ポリシリコン）により形成されたトランジスタを用いて、画素及び駆動回路（以下内部回路と表記）を一体形成する技術は、小型化及び低消費電力化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、F P C 等を介してコントローラ I C 等（以下外部回路と表記）と接続され、その動作が制御される。

##### 【 0 0 0 3 】

内部回路の電源電位は通常 1 0 V 程度であり、一方、外部回路を構成する I C は、内部回路よりも低い電源電位で動作するため、通常 3 V 程度の振幅の信号を作成する。この 3 V 程度の振幅の信号を用いて内部回路を正確に動作させるため

に、各段にレベルシフト部を配置した構成のシフトレジスタがある（例えば、特許文献 1 参考）。

#### 【0 0 0 4】

【特許文献 1】 特開 2 0 0 0 - 3 3 9 9 8 5 号公報（第 3 - 6 頁参照）

#### 【0 0 0 5】

なお図 1 1（A）はクロックドインバータの回路図、図 1 1（B）はクロックドインバータのロジックシンボル、図 1 1（C）はNANDの回路図、図 1 1（D）NORの回路図を示す。

#### 【0 0 0 6】

##### 【発明が解決しようとする課題】

内部回路でレベルシフトしようとする、駆動回路の占有面積の増大、波形の遅延や鈍りから周波数特性の低下等の問題を生じる。更に、特許文献 1 のように、電流駆動型のレベルシフタを使用すると、TFT特性の隣接間バラツキを抑制する必要がある。また、外部回路にレベルシフタを配置すると、I C 等の部品数の増加から筐体の大型化、作製費用の増加、レベルシフトによる消費電力の増加等の問題が発生する。従って、3 V 程度の振幅の信号をレベルシフトせずに用いることが好ましい。

#### 【0 0 0 7】

よって、本発明は、上述の実情を鑑み、外部回路にレベルシフタを配置せずに上記シフトレジスタを提供することで、筐体の小型化、作製費用の削減、消費電力の削減を実現することを課題とする。さらに内部回路にレベルシフタを配置せずに上記シフトレジスタを提供することで、CKの波形の遅延や鈍りの問題、内部回路に配置された電源線の電圧降下の問題を解決し、内部回路における駆動回路の占有面積の小型化、消費電力の削減、高周波数動作を実現することを課題とする。

#### 【0 0 0 8】

また、T F T は、作製工程や使用する基板の相違によって生じるゲート長及びゲート幅並びにゲート絶縁膜の膜厚バラツキ等に起因して、そのしきい値電圧にバラツキが生じ、想定していた値と異なる場合がある。この場合、「1」と「0

」の2つの論理レベルを扱うデジタル回路では、3 V程度の小さい振幅の信号を用いると、しきい値バラツキの影響を受けて、正確に動作しない場合が生じる。

#### 【0 0 0 9】

よって、TFTの特性バラツキによる影響を緩和して、正確に動作を行うシフトレジスタを提供することを課題とする。

#### 【0 0 1 0】

また、従来のNAND、NORに対して、低入力負荷かつ高出力能力をもつNAND、NORを提供することを課題とする。

#### 【0 0 1 1】

##### 【課題を解決するための手段】

本発明は、上述の課題を解決し、回路の電源電圧幅より小さい電圧振幅の信号をレベルシフトせずに動作することができ、TFTの特性バラツキにも強く、高周波数動作、低電圧動作可能なシフトレジスタを提供する。また、低入力負荷かつ高出力能力をもつNAND、NORを提供する。

#### 【0 0 1 2】

本発明は、直列に接続された第1及び第2トランジスタを有するクロックドインバータにおいて、

直列に接続された第3及び第4トランジスタで構成される補償回路を有し、

前記第3トランジスタのゲート及び前記第4トランジスタのゲートは互いに接続され、

前記第3トランジスタのドレイン及び前記第4トランジスタのドレインは、前記第1トランジスタのゲートに接続され、

前記第1及び前記第4トランジスタのソースは電氣的に高電位電源に接続され、

前記第2トランジスタのソースは電氣的に低電位電源に接続され、

前記第3トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第1及び前記第4トランジスタはP型トランジスタであり、前記第2及び

前記第 3 トランジスタは N 型トランジスタであることを特徴とする。

【 0 0 1 3 】

本発明は、直列に接続された第 1 及び第 2 トランジスタを有するクロックドインバータにおいて、

直列に接続された第 3 及び第 4 トランジスタで構成される補償回路を有し、

前記第 3 トランジスタのゲート及び前記第 4 トランジスタのゲートは互いに接続され、

前記第 3 トランジスタのドレイン及び前記第 4 トランジスタのドレインは、前記第 1 トランジスタのゲートに接続され、

前記第 1 及び前記第 4 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 2 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、

前記第 1 及び前記第 4 トランジスタは N 型トランジスタであり、前記第 2 及び前記第 3 トランジスタは P 型トランジスタであることを特徴とする。

【 0 0 1 4 】

本発明は、直列に接続された第 1 乃至第 3 トランジスタを有するクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタであって、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 3 トランジスタのソースは高電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第  $n$  段に配置された前記補償回路の入力端子には第  $(n-1)$  段で発生したパルスが入力され、

第  $n$  段に配置された前記第 4 トランジスタのソースには第  $(n-2)$  段で発生したパルスが入力され、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至

前記第 4 トランジスタは P 型トランジスタであることを特徴とする。

【 0 0 1 5 】

なおシフトレジスタの 1 段は、第 1 のクロックドインバータ及びインバータ、並びに前記インバータの出力と入力をつなぐループを構成する、第 2 のクロックドインバータを有する。第 (n-1) 段で発生するパルスとは、第 1 のクロックドインバータの出力とインバータの出力にインバータを 1 つ付け足したもののどちらかに相当する。なお、論理演算に誤りがなく、動作に支障がなく、なおかつ遅延が半クロック以内であれば、1 段を構成する第 1 のクロックドインバータ及びインバータにインバータを 1 つ付け足したものに、直列に接続された 1 つ又は複数のインバータを新たに接続させてもよい。また、第 (n-2) 段で発生するパルスとは、第 1 のクロックドインバータの出力とインバータにインバータを 1 つ付け足したものの出力のどちらかに相当する。

【 0 0 1 6 】

本発明は、直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 3 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第 n 段に配置された前記補償回路の入力端子には第 (n-1) 段で発生したパルスが入力され、

第 n 段に配置された前記第 4 トランジスタのソースには第 (n-2) 段で発生したパルスが入力され、

前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは N 型トランジスタであることを特徴とする。

【 0 0 1 7 】

本発明は、直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有

するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に高電位電源に接続され

、

前記第 3 トランジスタのソースは電氣的に低電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第  $n$  段に配置された前記補償回路の入力端子には第  $(n-1)$  段で発生したパルスが入力され、

第  $n$  段に配置された前記第 4 トランジスタのソースはクロック信号が入力され

、

前記第 1 及び前記第 5 トランジスタは P 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは N 型トランジスタであることを特徴とする。

#### 【0018】

本発明は、直列に接続された第 1 乃至第 3 トランジスタを備えたクロックドインバータと、直列に接続された第 4 及び第 5 トランジスタを備えた補償回路を有するシフトレジスタにおいて、

前記第 1 及び前記第 5 トランジスタのソースは電氣的に低電位電源に接続され

、

前記第 3 トランジスタのソースは電氣的に高電位電源に接続され、

前記第 1 トランジスタのゲートは前記補償回路の出力端子に接続され、

第  $n$  段に配置された前記補償回路の入力端子には第  $(n-1)$  段で発生したパルスが入力され、

第  $n$  段に配置された前記第 4 トランジスタのソースはクロック信号が入力され

、

前記第 1 及び前記第 5 トランジスタは N 型トランジスタであり、前記第 2 乃至前記第 4 トランジスタは P 型トランジスタであることを特徴とする。

#### 【0019】

本発明は、直列に接続された第 1 及び第 2 トランジスタを備えた第 1 クロックドインバータと、前記第 1 クロックドインバータとループを構成するインバータと、N 型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複



数設けられたシフトレジスタにおいて、

前記第 1 トランジスタは P 型トランジスタであり、前記第 2 トランジスタは N 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に高電位電源に接続され、

前記第 2 トランジスタのゲートには、前記 N 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは低電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とする。

#### 【 0 0 2 0 】

本発明は、直列に接続された第 1 及び第 2 トランジスタを備えた第 1 クロックドインバータと、前記第 1 クロックドインバータとループを構成するインバータと、P 型トランジスタ及びアナログスイッチを備えた補償回路とを有する段が複数設けられたシフトレジスタにおいて、

前記第 1 トランジスタは N 型トランジスタであり、前記第 2 トランジスタは P 型トランジスタであり、

前記第 1 トランジスタのゲートは前記インバータの出力端子に接続され、ソースは電氣的に低電位電源に接続され、

前記第 2 トランジスタのゲートは前記 P 型トランジスタのドレイン及び前記アナログスイッチを介してクロック信号線に接続され、ソースは高電位電源に接続され、

前記アナログスイッチは、前記インバータの入力及び出力により制御されることを特徴とする。

#### 【 0 0 2 1 】

上記構成を有する本発明は、TFT のしきい値のバラツキによる影響を緩和して、電源電圧幅より小さい振幅の信号を用いる場合においても、正確に動作を行うクロックドインバータ、シフトレジスタを提供する。また、低入力負荷かつ高出力能力をもつ NAND、NOR を提供する。

## 【 0 0 2 2 】

また外部回路にレベルシフタを配置せずに構成することで、筐体の小型化、作製費用の削減、消費電力の削減を実現する。さらに内部回路にレベルシフタを配置せずにシフトレジスタを提供することで、CKの波形の遅延や鈍りの問題、内部回路に配置された電源線の電圧降下の問題を解決し、内部回路における駆動回路の占有面積の小型化、消費電力の削減、高周波数動作を実現する。

## 【 0 0 2 3 】

## 【発明の実施の形態】

## (実施の形態 1)

本発明の実施の形態について、図 1 を用いて説明する。ここでは、一例として、CKのHレベルの信号は5V、Lレベルの信号は2V、VDDは7V、VSSは0Vである。つまり、CKの振幅は3V、電源電圧幅は7Vとする。

## 【 0 0 2 4 】

本発明の第 1 の構成について、図 1 (A) を用いて説明する。図 1 (A) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された T F T 1 1 ~ 1 3 を備えたクロックドインバータ 1 0、直列に接続された T F T 1 4 a 及 1 5 a を備えた補償回路 1 9 a、インバータ 1 6 及びクロックドインバータ 1 7 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で C K 及び C K B の信号が交互に入力される。

## 【 0 0 2 5 】

T F T 1 1 のゲートにはクロック信号線が接続され、CKが入力される。T F T 1 2 のゲートにはスタートパルス又は (n-1) 段に配置されたクロックドインバータ 1 6 の出力 (図では信号 S と表記)、T F T 1 4 a、1 5 a のゲートには信号 S の反転信号 (図では信号 S B と表記)、T F T 1 4 a のソースには (n-2) 段に配置されたクロックドインバータ 1 0 の出力が入力される。なお図中、(n-2) 段に配置されたクロックドインバータ 1 0 の出力は、2 段前と表記する。

## 【 0 0 2 6 】

本発明では、補償回路 1 9 において、互いに接続された T F T 1 4 a 及び 1 5 a のゲートを入力端子とし、互いに接続された T F T 1 4 a 及び 1 5 a のドレイ



ンを出力端子とする。

#### 【0 0 2 7】

動作について図 1 (B) のタイミングチャートに従って説明する。図 1 (B) ではクロック信号の半周期を T と表記し、ここでは期間 T 1、T 2 における動作について説明する。

#### 【0 0 2 8】

期間 T 1 において、2 段前の信号は VSS、信号 S は VDD、信号 SB は VSS、CK は H レベル (5 V) であるので、TFT 1 2 はオフ、TFT 1 4 a はオン、TFT 1 5 a はオフになる。このとき、VDD がインバータ 1 6 とクロックドインバータ 1 7 によって構成されたループにより保持され、OUT には VDD が出力される。

#### 【0 0 2 9】

そして、期間 T 1 から期間 T 2 に移り、2 段前の信号が VSS から VDD に変わる。信号 S は VDD、信号 SB は VSS、CK は L レベル (2 V) である。そうすると、TFT 1 2 はオフ、TFT 1 4 a はオン、TFT 1 5 a はオフになる。この場合、TFT 1 3 のゲートに入力される信号は VDD に変わり、TFT 1 3 はオフからオンに変わる。そうすると、OUT には VSS が出力される。本発明では、信号が VDD から VSS に変化する動作を立ち下がりと言ふ。

#### 【0 0 3 0】

次いで、本発明の第 2 の構成について、図 1 (C) を用いて説明する。図 1 (C) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。上記第 1 の構成との相違点は、直列に接続された TFT 1 4 b 及び 1 5 b を備えた補償回路 1 9 b が TFT 1 1 のゲートに接続された点、P 型 TFT 1 2 を削除して N 型 TFT 1 8 が配置された点、TFT 1 5 b のソースには (n-2) 段に配置されたクロックドインバータ 1 0 の出力が入力される点、TFT 1 8 のゲートには信号 S が入力される点、TFT 1 3 のゲートにはクロック信号線が接続され、CK が入力される点である。

#### 【0 0 3 1】

次いで期間 T 1、T 2 における動作について、図 1 (D) のタイミングチャートに従って説明する。但し、第 2 の構成の動作は、上記の第 1 の構成の説明に準ずるので、簡単に説明する。

## 【0 0 3 2】

期間 T 1 において、OUT には VSS が出力される。期間 T 1 から期間 T 2 に移り、2 段前の信号が VDD から VSS に変わる。そうすると、2 段前の信号が TFT 1 1 のゲートに入力されて、TFT 1 1 はオンになる。一方、TFT 1 8 はオフであるので、OUT には VDD が出力される。本発明では、信号が VSS から VDD に変化する動作を立ち上がりとよぶ。

## 【0 0 3 3】

上記の第 1 の構成を有する本発明は立ち下がり到大変有効であり、また上記の第 2 の構成を有する本発明は立ち上がり到大変有効であり、以下の (1) の効果を奏する。

(1) 図 1 (A) における TFT 1 4 a、図 1 (C) における TFT 1 5 b のソースに、CK をそのまま入力する場合、その振幅が小さいために、前記 TFT が早めにオンしてしまう問題が生じていた。より詳しくは、図 1 (B) の 1 7 0、図 1 (D) の 1 7 1 に示すような波形の信号が生成されてしまう問題が生じていた。リーク電流が大きいときにはパルスがシフトしなくなる。しかしながら、本発明では 2 段前の信号を用いることで、前記 TFT が早めにオンすることなく、所望のタイミングでオンさせることができる。

## 【0 0 3 4】

また上記の第 1 又は第 2 の構成を有する本発明は、上記 (1) 以外にも、以下の (2) (3) の有利な効果を奏する。

(2) 通常、クロックドインバータは、直列に接続された 2 つの N 型 TFT と、直列に接続された 2 つの P 型 TFT の合わせて 4 つの TFT により構成される。そして、従来では、オン電流を稼ぐ関係から、前記直列に接続された 2 つの TFT のゲート幅 (W) は大きく設定されていた。そのため、そのゲートを負荷とする TFT のゲート幅も大きく設定する必要が生じ、結果的に全体として負荷が大きく、高周波動作の妨げとなっていた。しかしながら、本発明は、ダブルゲートの TFT (直列に接続された 2 つの TFT) をシングルゲートの TFT に変えることができる。例えば、図 1 (A) の構成では、従来直列に接続された 2 つの N 型 TFT の配置が必要であったが、本発明では 1 つの N 型 TFT 1 3 により構成される。その結果、本発明では、

TFTのゲート幅を大きく設定する必要はなく、またTFTのサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート（ゲート容量）を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。

（３）また、直列に接続された同じ導電型の２つのTFTは、その電流能力（パワー）が弱かった。しかし本発明では、ダブルゲートのTFTをシングルゲートのTFTに変えることができるため、構成するTFTの電流能力を強くすることができる。例えば、図１（Ａ）の構成ではN型TFT 13、図１（Ｃ）の構成ではP型TFT 11の電流能力を強くすることができる。

#### 【0035】

上述の通り図１の構成は立ち下がり、立ち上がりに大変有効である。しかしながら図１（Ａ）（Ｂ）において、期間T3に移るとSがVSS、SBがVDD、CKがHレベルになり、TFT 12がオン、TFT 13がオフ、TFT 11がそのしきい値によりオン又はオフする。仮にTFT 11のしきい値が所望の値よりも低いとすると、TFT 11がオンしてしまい、シフトレジスタが正確な動作を行わない場合がある。

#### 【0036】

そこで、期間T3においてOUTがVSSの保持に有効である構成を本発明の第３の構成として提案する。

#### 【0037】

本発明の第３の構成について、図２（Ａ）を用いて説明する。図２（Ａ）には、第n段に配置されたシフトレジスタの１段分の回路図を示す。１段は直列に接続されたTFT 11及13を備えたクロックドインバータ10、直列に接続されたTFT 14a及15aを備えた補償回路19a、TFT 14b及15bを備えた補償回路19b、インバータ16、TFT 22～25を備えたクロックドインバータ17から構成される。シフトレジスタは、この１段の回路を縦続接続して構成され、各段でCK及びCKBが交互に入力される。図２（Ａ）の構成と上記図１（Ａ）の構成の相違点は、TFT 12が削除され、TFT 11のゲートに補償回路19bの出力、補償回路19bの入力にSB、TFT 14bのソースにVDD、TFT 15bのソースにCKがそれぞれ接続され、TFT 24及びTFT 25の電流能力が高くなるようチャネル幅

が大きく設定されている点である。

#### 【0038】

期間T1、T2における図2（A）の構成の動作について、図2（B）のタイミングチャートに従って説明する。

#### 【0039】

期間T1では、2段前の信号はVDD、信号SBはVSS、クロック信号CKはLレベルであるので、TFT14aはオン、TFT15aはオフ、TFT13はオン、TFT14bはオン、TFT15bはオフ、TFT11はオフする。したがって、OUTにはVSSが出力される。

#### 【0040】

次いで、期間T2において、2段前の信号はVDD、信号SBはVDD、クロック信号CKはHレベルであるので、TFT13はオフ、TFT11はオン又はオフする。このとき、OUTのVSSがインバータ16とクロックドインバータ17によって構成されたループにより保持され、OUTにはVSSが出力され続ける。なお本発明では、期間T2における動作を保持とよぶ。本構成は、保持に大変有効であり、以下には、期間T2における保持の動作について、より詳しく説明する。

#### 【0041】

期間T2において、信号SBはVDD（7V）である。TFT15bは、信号SBがVDD（7V）、CKがHレベル（5V）の条件下では、そのVGSは2Vとなる。

#### 【0042】

このとき、TFT15bのしきい値電圧（ $|V_{TH}|$ ）が2V以下であれば、TFT15bはオンして、CK（Hレベル、5V）がTFT11のゲートに入力される。TFT11は、そのしきい値電圧に従って、オン又はオフが決定される。

仮にTFT11がオンすると、OUTからVDDを出力しようとする。しかしVSSを保持するクロックドインバータ17のTFT24及びTFT25の電流能力が高くなるように設定されているため、結果的にはVSSが出力され、論理的に正確な動作を行う。これは、図2（B）のタイミングチャート中の波形172に示すように、OUTから出力される信号が正確に保持されず、所望のタイミングよりも早めにVSSからVDDに切り替わってしまうことを防ぐ。

## 【0043】

また、上記のように正確な動作を行ったとしても、オフしたいP型TFT11がオンしているため、VDD-VSS間にリーク電流が流れてしまい、消費電流が増加するという問題が生じる。このような場合には、図2（A）に図示するように、TFT14b及び15bのゲートにインバータ20、21を接続させるとよい。そうすると、図2（B）の波形174に示すように信号SBを遅延させることができるため、TFT15bがオンするタイミングを遅延させ、結果的にリーク電流が流れるタイミングを遅延させることができる。なお接続するインバータの個数は論理が異なる限り特に限定されないが、遅延の度合いはCKの半周期以下に設定する。

## 【0044】

一方、TFT11又はTFT15bのしきい値電圧（ $|V_{TH}|$ ）が2V以上であれば、TFT15bはオンせずに、リーク電流は発生しない。リーク電流の発生を防ぐことが出来れば、消費電流が増加することはない。また、OUTに出力される信号の波形が所望のタイミングより早く立ち上がることが無く、安定した波形の信号を生成する。

## 【0045】

また、図1（C）（D）の期間T3においても、N型TFT15bのしきい値が所望の値よりも低く、オンしてしまい、OUTのVDDを保持できず、シフトレジスタが正確な動作を行わない場合がある。

## 【0046】

そこで、期間T3においてOUTのVDDの保持に有効である構成を本発明の第4の構成として提案する。

## 【0047】

本発明の第4の構成について、図2（C）を用いて説明する。図2（C）には、第n段に配置されたシフトレジスタの1段分の回路図を示す。上記第2の構成との相違点は、TFT18が削除され、TFT13のゲートに補償回路19aの出力、補償回路19aの入力にSB、TFT14aのソースにCK、TFT15aのソースにVSSがそれぞれ接続され、TFT22及びTFT23の電流能力が高くなるようチャネル幅

が大きく設定されている点である。

#### 【 0 0 4 8 】

次いで、期間 T 1、T 2 における動作について図 2 (D) のタイミングチャートに従って説明する。但し、図 2 (C) の構成の動作は、上述した図 2 (A) の構成の動作の説明に準ずるので、簡単に説明する。

#### 【 0 0 4 9 】

期間 T 1 では、2 段前の信号は VSS、信号 SB は VDD、クロック信号 CK は H レベルであるので、TFT 1 4 b はオフ、TFT 1 5 b はオン、TFT 1 1 はオンする。OUT には VDD が出力される。

#### 【 0 0 5 0 】

次いで、期間 T 2 において、2 段前の信号は VSS、信号 SB は VSS、クロック信号 CK は L レベルであるので、TFT 1 1 はオフ、TFT 1 3 はオン又はオフする。このとき、OUT の VDD がインバータ 1 6 とクロックドインバータ 1 7 によって構成されたループにより保持され、OUT には VDD が出力され続ける。本構成は、保持に大変有効であり、以下には期間 T 2 における動作について、より詳しく説明する。

#### 【 0 0 5 1 】

期間 T 2 において、信号 SB は VSS ( 0 V ) である。また TFT 1 4 a は、信号 SB が VSS ( 0 V )、CK が L レベル ( 2 V ) の条件下では、その VGS は  $|2 V|$  となる。

#### 【 0 0 5 2 】

このとき、TFT 1 4 a のしきい値電圧 ( $|V_{TH}|$ ) が 2 V 以下であれば、TFT 1 4 a はオンして、CK (L レベル、2 V) が TFT 1 3 のゲートに入力される。TFT 1 3 は、そのしきい値電圧に従って、オン又はオフが決定される。

仮に TFT 1 3 がオンすると、OUT から VSS を出力しようとする。しかし、VDD を保持するクロックドインバータ 1 7 の TFT 2 2 及び TFT 2 3 の電流能力が高くなるように設定されているため、結果的には論理的に正確な動作を行う。これは、図 2 (D) のタイミングチャート中の波形 1 7 3 に示すように、OUT から出力される信号が正確に保持されず、所望のタイミングよりも早めに VDD から VSS に切り替わってしまうことを防ぐ。

#### 【 0 0 5 3 】



また、上記のように正確な動作を行ったとしても、オフにしたいN型TFT 13がオンしているため、VDD-VSS間にリーク電流が流れてしまい、消費電流が増加するという問題が生じる。このような場合には、図2 (C) に図示するように、TFT 14a及び15aのゲートにインバータ20、21を接続させるとよい。そうすると、図2 (D) の波形175に示すように信号SBを遅延させることができるため、P型TFT 14aがオンするタイミングを遅延させ、結果的にリーク電流が流れるタイミングを遅延させることができる。なお接続するインバータの個数は論理が異なる限り特に限定されないが、遅延の度合いはCKの半周期以下に設定する。

#### 【0054】

一方、TFT 13又はTFT 14aのしきい値電圧 ( $|V_{TH}|$ ) が2V以上であれば、TFT 13はオンせずに、リーク電流は発生しない。リーク電流の発生を防ぐことが出来れば、消費電流が増加することはない。また、OUTに出力される信号の波形が所望のタイミングより早くオンすることが無く、安定した波形の信号を生成する。

#### 【0055】

以上をまとめると、上記第3又は第4の構成を有する本発明は、保持に大変有効であり、以下の(4)(5)の効果を奏する。

(4) 図2 (A) の構成ではTFT 15b、図2 (C) の構成ではTFT 14aのしきい値電圧 ( $|V_{TH}|$ ) が所望の値 (2V) 以下の場合には、補償回路19a又は19bの出力端子に複数のインバータを接続させるとよい。そうすると、前記TFTのしきい値電圧が所望の値以下であっても、リーク電流が発生するタイミングを遅延させることができる。

(5) また、従来では、オフにしたいTFTがオンしてしまうためにVDD-VSS間にリーク電流が流れ、消費電流が増加する問題が生じていた。例えば、図2 (A) の構成ではP型TFT 11、図2 (C) の構成ではN型TFT 13を本来はオフにしたいが、オンになっていた。しかし、本発明では、図2 (A) の構成ではTFT 11又はTFT 15b、図2 (C) の構成ではTFT 13又はTFT 14aのしきい値電圧 ( $|V_{TH}|$ ) が所望の値 (2V) 以上の場合ならば、リーク電流の発生を抑制することがで

きる。

#### 【0 0 5 6】

また、上記第 3 又は第 4 の構成を有する本発明は、第 1 及び第 2 の構成と同様に、上記の (3) ~ (5) の有利な効果を奏する。

#### 【0 0 5 7】

しかしながら、図 2 (A) (B) において、例え TFT 1 1 がオンしても論理的に正しい動作を行うために、保持用のクロックドインバータ内 TFT 2 4、2 5 の電流能力を高くなるよう設定してある。そのため期間 T 2 から期間 T 3 に移り、CK が L レベルに変わっても OUT が VDD まで変化できずに、結果的にシフトレジスタが正確な動作を行わない場合がある。

そこで、保持期間においても OUT の安定した波形を得、かつ期間 T 2 から T 3 への立ち上がりに有効な構成を本発明の第 5 の構成として提案する。

#### 【0 0 5 8】

続いて、本発明の第 5 の構成について、図 3 (A) を用いて説明する。図 3 (A) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 1 1 及び 1 3 を備えたクロックドインバータ 1 0、TFT 1 4 a 及 1 5 a を備えた補償回路 1 9 a、TFT 1 4 b 及び 1 5 b を備えた補償回路 1 9 b、インバータ 1 6、直列に接続された TFT 2 2 ~ 2 4 を備えたクロックドインバータ 1 7、N 型 TFT 3 4 とアナログスイッチ 3 5 を備えた補償回路 1 9 c から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で CK 及び CK B が交互に入力される。図 2 (A) との相違点は保持用クロックドインバータ 1 7 内の TFT 2 5 を削除し、TFT 2 4 のゲートに補償回路 1 9 c の出力が接続されている点、補償回路の入力にはインバータ 1 6 の出力の反転信号、つまり OUT が接続されている点、TFT 3 4 のソースには VSS が接続されている点、アナログスイッチ 3 5 のソースには CK が接続されている点である。

#### 【0 0 5 9】

TFT 2 2 のゲートにはクロックバー信号線が接続され、CKB が入力される。TFT 2 3 のゲートにはクロックドインバータ 1 0 の出力 (OUT) が入力される。また、TFT 2 4 の電流能力は大きくなるよう設定されている。より詳しくは、TFT 2 4



の $W_{24}$  (ゲート幅) /  $L$  (ゲート長) とTFT 1 1 の $W_{11}/L$ は、 $W_{24}/L : W_{11}/L = x : y$ とすると、 $x=1$ 、 $y \geq 0.5$ に設定される。

#### 【0 0 6 0】

期間T 1 ~ T 3における動作について図3 (B) のタイミングチャートに従って説明する。期間T 1において、クロックドインバータ 1 0からはVSSが出力される。

#### 【0 0 6 1】

次いで、期間T 2における動作について説明する。クロックドインバータ 1 7において、TFT 2 2のゲートにはCKB (Lレベル、2 V) が入力され、オンになる。TFT 2 3のゲートには、OUTの反転信号 (VDD) が入力されてオフになる。TFT 2 4のゲートにはOUT (VSS) が入力されてオフになる。TFT 2 4のゲートにはアナログスイッチ 3 5を介してCK (Hレベル、5 V) が入力されてオンになる。このとき、TFT 2 3がオフし、TFT 2 4がオンしているためVSSが出力される。

#### 【0 0 6 2】

また、クロックドインバータ 1 0において、TFT 1 1は、オン又はオフである。仮に、TFT 1 1がオンであったとしてもTFT 2 4の電流能力は高いため、期間T 2では、安定してVSSが出力される。

#### 【0 0 6 3】

そして、期間T 2からT 3に移るにあたり、クロックドインバータ 1 0の出力は、正確にVSSからVDDに切り替わることが望ましい。しかし、N型TFT 2 4の電流能力が高いため、図3 (B) のタイミングチャート中の波形 1 7 6に示すように、VSSからVDDへの切り替わりができず、シフトレジスタが正確な動作をおこなわない場合が生ずる。しかし、本発明では、上記のようなことが生じないように、以下の手段を講じる。

#### 【0 0 6 4】

クロックドインバータ 1 0では、期間T 2からT 3に移るにあたり、その出力をVSS (0 V) からVDD (7 V) に切り替えようとする。しかし、クロックドインバータ 1 7が有するN型TFT 2 4の電流能力が大きいために、TFT 1 1にかかる $V_{GS}$ が2 Vから5 Vに変わり、VDDをOUTに出力しようとするが、0 Vから7 Vま

であげられない場合がある。そうすると、インバータ 1 6 の出力も 0 V にならないため、保持用のクロックドインバータ 1 7 には 7 V が入り続け、TFT 2 3 と TFT 2 4 のオン、オフが入れ替わらずに、OUT には VSS (0 V) が出力され続け、シフトレジスタが正確な動作を行わない。

#### 【0 0 6 5】

しかし、本発明では、クロックドインバータ 1 0 の出力が VSS (0 V) から VDD (7 V) まで変わらなくても、TFT 1 1 にかかる V G S が 2 V から 5 V に変わる瞬間、OUT の出力が TFT 3 4 のしきい値以上変化すれば、TFT 3 4 がオンし、TFT 2 4 を強制的にオフすることができる。そうすると、TFT 1 1 は TFT 2 4 の影響を受けることなく、OUT の出力を VDD まであげることができる。なおかつ、OUT の立ち上がりは所望のタイミングで行われる。

また、TFT 2 4 の電流能力はしきい値にも起因するため、N 型 TFT のしきい値が低く、TFT 2 4 の電流能力が高いほど、同極性の TFT 3 4 のしきい値も低いと考えられ、OUT の変化が少なくてもオンする。反対に TFT 3 4 のしきい値が高くても、その場合には TFT 2 4 のしきい値も高く、保持する能力は弱いので、問題なく動作する。

#### 【0 0 6 6】

以上をまとめると、上記第 5 の構成を有する本発明は保持と立ち上がりに変大有効であり、以下の (6) (7) の効果を奏する。

(6) 本発明では、クロックドインバータ 1 7 が有する N 型 TFT 2 4 の W と電流能力を大きく設定する。インバータ 1 6 とクロックドインバータ 1 7 で構成するループで VSS を保持する場合、TFT 2 4 の電流能力が大きいいため、安定して VSS を出力することができる。

(7) また、クロックドインバータ 1 0 の出力が VSS から VDD に変わる立ち上がりにおいて、クロックドインバータ 1 7 が有する N 型 TFT 2 4 の電流能力が大きいいため、立ち上がらず、正確な動作を行わない場合が生じる。しかし、この立ち上がりのタイミングは、クロックドインバータ 1 0 が有する P 型 TFT 1 1 により決定され、クロックドインバータ 1 0 の V G S が変わる瞬間、OUT の出力が変化すると、N 型 TFT 2 4 はそのしきい値を超えたところでオフする。そうすると、OUT の出

力は正確に立ち上げることができる。

#### 【 0 0 6 7 】

また、図 2 (C) (D) においても同様に、期間 T 2 から期間 T 3 に移り、CK が H レベルに変わっても OUT が VSS まで変化できずに、結果的にシフトレジスタが正確な動作を行わない場合がある。

そこで、保持期間においても OUT の安定した波形を得、かつ期間 T 2 から T 3 への立ち下がりに有効な構成を本発明の第 6 の構成として提案する。

#### 【 0 0 6 8 】

続いて、本発明の第 6 の構成について、図 3 (C) を用いて説明する。図 3 (C) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 1 1 及び 1 3 を備えたクロックドインバータ 1 0、TFT 1 4 a 及び 1 5 a を備えた補償回路 1 9 a、TFT 1 4 b 及び 1 5 b を備えた補償回路 1 9 b、インバータ 1 6、直列に接続された TFT 2 3 ~ 2 5 を備えたクロックドインバータ 1 7、P 型 TFT 3 7 とアナログスイッチ 3 5 を備えた補償回路 1 9 d から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で CK 及び CK B が交互に入力される。図 2 (C) との相違点は保持用クロックドインバータ 1 7 内の TFT 2 2 を削除し、TFT 2 3 のゲートに補償回路 1 9 d の出力が接続されている点、補償回路の入力にはインバータ 1 6 の出力の反転信号、つまり OUT が接続されている点、TFT 3 7 のソースには VDD が接続されている点、アナログスイッチ 3 5 のソースには CK が接続されている点である。

#### 【 0 0 6 9 】

TFT 2 5 のゲートにはクロック信号線が接続され、CK が入力される。TFT 3 7 のゲートにはクロックドインバータ 1 0 の出力 (OUT) が入力される。また、TFT 2 3 の電流能力は大きくなるよう設定されている。より詳しくは、TFT 2 3 の  $W_{23}$  (ゲート幅) / L (ゲート長) と TFT 1 3 の  $W_{13}$  / L は、 $W_{23}/L : W_{13}/L = x : y$  とすると、 $x = 1$ 、 $y \geq 1$  に設定される。

#### 【 0 0 7 0 】

期間 T 1 ~ T 3 における動作について図 3 (B) のタイミングチャートに従って説明する。期間 T 1 において、クロックドインバータ 1 0 からは VDD が出力さ

れる。

#### 【 0 0 7 1 】

次いで、期間 T 2 における動作について説明する。クロックドインバータ 1 7 において、TFT 2 5 のゲートにはCKB（Hレベル、5 V）が入力され、オンになる。TFT 2 4 のゲートには、OUTの反転信号（VDD）が入力されてオフになる。TFT 2 4 のゲートにはOUT（VSS）が入力されてオフになる。TFT 2 3 のゲートにはアナログスイッチ 3 5 を介してCK（Lレベル、2 V）が入力されてオンになる。このとき、TFT 2 4 がオフし、TFT 2 3 がオンしているためVDDが出力される。

#### 【 0 0 7 2 】

また、クロックドインバータ 1 0 において、TFT 1 3 は、オン又はオフである。仮に、TFT 1 3 がオンであったとしてもTFT 2 3 の電流能力は高いため、期間 T 2 では、安定してVDDが出力される。

#### 【 0 0 7 3 】

そして、期間 T 2 から T 3 に移るにあたり、クロックドインバータ 1 0 の出力は、正確にVDDからVSSに切り替わることが望ましい。しかし、P型TFT 2 3 の電流能力が高いため、図 3（B）のタイミングチャート中の波形 1 7 7 に示すように、VDDからVSSへの切り替わりができず、シフトレジスタが正確な動作をおこなわない場合が生ずる。しかし、本発明では、上記のようなことが生じないように、以下の手段を講じる。

#### 【 0 0 7 4 】

クロックドインバータ 1 0 では、期間 T 2 から T 3 に移るにあたり、その出力をVDD（0 V）からVSS（7 V）に切り替えようとする。しかし、クロックドインバータ 1 7 が有するP型TFT 2 3 の電流能力が大きいために、TFT 1 3 にかかるV<sub>GS</sub>が2 Vから5 Vに変わり、VSSをOUTに出力しようとするが、7 Vから0 Vまで下げられない場合がある。そうすると、インバータ 1 6 の出力も7 Vにならないため、保持用のクロックドインバータ 1 7 には0 Vが入り続け、TFT 2 3 とTFT 2 4 のオン、オフが入れ替わらずに、OUTにはVDD（7 V）が出力され続け、シフトレジスタが正確な動作を行わない。

#### 【 0 0 7 5 】

しかし、本発明では、クロックドインバータ 1 0 の出力が VDD (7 V) から VSS (0 V) まで変わらなくても、TFT 1 3 にかかる V G S が 2 V から 5 V に変わる瞬間、OUT の出力が TFT 3 7 のしきい値以上変化すれば、TFT 3 7 がオンし、TFT 2 3 を強制的にオフすることができる。そうすると、TFT 1 3 は TFT 2 3 の影響を受けることなく、OUT の出力を VSS まで下げることができる。なおかつ、OUT の立ち下がりには所望のタイミングで行われる。

また、TFT 2 3 の電流能力はしきい値にも起因するため、P 型 TFT のしきい値が低く、TFT 2 3 の電流能力が高いほど、同極性の TFT 3 7 のしきい値も低いと考えられ、OUT の変化が少なくてもオンする。反対に TFT 3 7 のしきい値が高くても、その場合には TFT 2 3 のしきい値も高く、保持する能力は弱いので、問題なく動作する。

#### 【 0 0 7 6 】

以上をまとめると、上記第 6 の構成を有する本発明は保持と立ち下がりに大変有効であり、以下の (8) (9) の効果を奏する。

(8) 本発明では、クロックドインバータ 1 7 が有する P 型 TFT 2 3 の W と電流能力を大きく設定する。インバータ 1 6 とクロックドインバータ 1 7 で構成するループで VDD を保持する場合、TFT 2 3 の電流能力が大きいいため、安定して VDD を出力することができる。

(9) また、クロックドインバータ 1 0 の出力が VDD から VSS に変わる立ち下がりにおいて、クロックドインバータ 1 7 が有する P 型 TFT 2 3 の電流能力が大きいいため、立ち下がらず、正確な動作を行わない場合が生じる。しかし、この立ち下がりのタイミングは、クロックドインバータ 1 0 が有する N 型 TFT 1 3 により決定され、クロックドインバータ 1 0 の V G S が変わる瞬間、OUT 出力が変化すると、P 型 TFT 2 3 はそのしきい値を超えたところでオフする。そうすると、OUT の出力を正確に立ち下げることができる。

#### 【 0 0 7 7 】

(実施の形態 2)

図 1 ～ 3 を用いて上述した第 1 ～ 第 6 の構成は、自由に組み合わせて用いることができる。ここでは、組み合わせたときの一例について、図 6、7 を用いて説

明する。なお図中、信号 S とはスタートパルス又は (n-1) 段に配置されたクロックインバータ 16 の出力であり、信号 SB は信号 S の反転信号に相当する。また 2 段前とは、(n-2) 段に配置されたクロックインバータ 10 の出力に相当する。

#### 【0078】

図 6 (A) は、第 3 の構成 (図 2 (A)) と第 5 の構成 (図 3 (A)) を組み合わせたときの回路図を示す。図 6 (A) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 71 ~ 73 を備えたクロックインバータ 10、インバータ 16、直列に接続された TFT 74、75 を備えたクロックインバータ 17、直列に接続された TFT 76 及び 77、インバータ 78 及び 79、TFT 80、アナログスイッチ 81 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で CK 及び CKB の一方が交互に入力される。

#### 【0079】

図 6 (B) は、第 2 の構成 (図 1 (C))、第 4 の構成 (図 2 (C)) と第 6 の構成 (図 3 (C)) を組み合わせたときの回路図を示す。図 6 (B) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 91 ~ 93 を備えたクロックインバータ 10、インバータ 16、直列に接続された TFT 94 及び 95 を備えたクロックインバータ 17、直列に接続された TFT 96 及び 97、直列に接続された TFT 98 及び 99、インバータ 120、121、P 型 TFT 122、アナログスイッチ 123 から構成される。シフトレジスタは、この 1 段の回路を縦続接続して構成され、各段で CK 及び CKB の一方が交互に入力される。

#### 【0080】

図 7 (A) は、第 4 の構成 (図 2 (C)) と、第 6 の構成 (図 3 (C)) を組み合わせたときの回路図を示す。図 7 (A) には、第 n 段に配置されたシフトレジスタの 1 段分の回路図を示す。1 段は直列に接続された TFT 131 ~ 133 を備えたクロックインバータ 10、インバータ 16、TFT 134 及び 135 を備えたクロックインバータ 17、直列に接続された TFT 136 及び 137、イン



バータ 138、139、P型TFT140、アナログスイッチ141から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBの一方が交互に入力される。

#### 【0081】

図7(B)は、第1の構成(図1(A))、第3の構成(図2(A))と第5の構成(図3(A))を組み合わせたときの回路図を示す。図7(B)には、第n段に配置されたシフトレジスタの1段分の回路図を示す。1段は直列に接続されたTFT151～153を備えたクロックドインバータ10、インバータ16、直列に接続されたTFT154及び155を備えたクロックドインバータ17、直列に接続されたTFT156及び157、直列に接続された158及び159、インバータ160、161、N型TFT162、アナログスイッチ163から構成される。シフトレジスタは、この1段の回路を縦続接続して構成され、各段でCK及びCKBの一方が交互に入力される。

#### 【0082】

なお上述した第1～第6の構成を組み合わせて用いる際には、動作に支障がなければ、必要のないTFTは削除してもよい。実際に、図6(A)、図7(B)の構成では、図3(A)におけるTFT31を削除し、図6(B)、図7(A)の構成では、図3(C)におけるTFT33を削除している。同様に、動作に支障がなければ必要に応じてTFTを追加してもよい。

#### 【0083】

(実施の形態3)

本発明の実施の形態について、図10を用いて説明する。

#### 【0084】

上述した図6(B)の回路図における、平面レイアウト図(上面図)を図10(A)に示す。また、実際に作製したパネルを光学顕微鏡で拡大した写真を図10(B)に示す。

#### 【0085】

図10(A)(B)に図示した符号は図6(B)と対応しているので、詳しい説明は省略する。なお図中、P型TFT16aとN型TFT16bは、インバータ16を

構成する。また、P型TFT 1 2 3 a とN型TFT 1 2 3 b はアナログスイッチ 1 2 3 を構成する。

#### 【0 0 8 6】

図 1 0 中、TFT 9 4 のWは大きく設定されている。仮に、TFT 9 4 と直列に接続させた同じサイズのTFTの配置が必要な場合には、レイアウト面積が拡大してしまう。しかし、本発明では、Wを大きく設定したTFTはTFT 9 4 の 1 つだけを配置すればよいため、レイアウト面積の拡大を抑制することができる。

#### 【0 0 8 7】

(実施の形態 4)

上記とは異なる本発明の実施の形態について、図 4、5 を用いて説明する。

#### 【0 0 8 8】

本発明のNANDについて、図 4 を用いて説明する。図 4 (A) には、NANDの回路図を示し、並列に接続されたP型TFT 5 1、5 2、N型TFT 5 4、直列に接続されたP型TFT 5 5 及びN型TFT 5 6 を備えた補償回路 1 9 を有する。TFT 5 1 のゲートにはVin1、TFT 5 2 のゲート及びTFT 5 5 のソースにはViin2、TFT 5 5 及び5 6 のゲートにはVin1の反転信号（ここではVinB1と表記）が入力される。

#### 【0 0 8 9】

動作について、図 4 (B) のタイミングチャートに従って説明する。期間 T 1 において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT 5 1 はオフ、TFT 5 2 はオン、TFT 5 5 はオン、TFT 5 6 はオフする。またTFT 5 5 を介して、Vin2 (Lレベル) がTFT 5 4 に入力され、該TFT 5 4 はオフする。そして出力はVDDをとる。期間 T 2 において、Vin1はHレベル、VinB1はLレベル、Vin2はHレベルであるので、TFT 5 1 はオフ、TFT 5 2 はオフ、TFT 5 5 はオン、TFT 5 6 はオフする。またTFT 5 5 を介して、VinB1 (Lレベル) がTFT 5 4 に入力され、TFT 5 4 はオンする。そして出力はVSSをとる。

#### 【0 0 9 0】

期間 T 3 において、Vin1はLレベル、VinB1はHレベル、Vin2はHレベルであるので、TFT 5 1 はオン、TFT 5 2 はオフ、TFT 5 5 はオフ、TFT 5 6 はオンする。またTFT 5 6 を介して、VSSがTFT 5 4 に入力され、TFT 5 4 はオフする。そして出力は



VDDをとる。期間T 4 において、Vin1はLレベル、VinB1はHレベル、Vin2はLレベルであるので、TFT 5 1 はオン、TFT 5 2 はオン、TFT 5 5 はオフ、TFT 5 6 はオンする。またTFT 5 6 を介して、VSSがTFT 5 4 に入力され、TFT 5 4 はオフする。そして出力はVDDをとる。

#### 【 0 0 9 1 】

次いで、上記構成において、TFT 5 5 の代わりにアナログスイッチ 5 7 を配置した場合について、図 4 (C) に示す。図 4 (C) の構成は、図 4 (D) のタイミングチャートに従って動作する。なお図 4 (C) の構成とその動作の説明は、上述した図 4 (A) の構成とその動作に準ずるので、ここでは省略する。

#### 【 0 0 9 2 】

次いで、本発明のNORについて、図 5 を用いて説明する。図 5 (A) には、NORの回路図を示し、並列に接続されたN型TFT 6 1、6 2、P型TFT 6 4、直列に接続されたP型TFT 6 5 及びN型TFT 6 6 を備えた補償回路 1 9 を有する。TFT 6 1 のゲートにはVin1、TFT 6 2 のゲート及びTFT 6 6 のソースにはViin2、TFT 6 5 及び6 6 のゲートにはVin1の反転信号（ここではVinB1と表記）が入力される。

#### 【 0 0 9 3 】

動作について、図 5 (B) のタイミングチャートに従って説明する。期間T 1 において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT 6 1 はオフ、TFT 6 2 はオン、TFT 6 5 はオフ、TFT 6 6 はオンする。またTFT 6 6 を介して、Vin2 (Hレベル) がTFT 6 4 に入力され、該TFT 6 4 はオフする。そして出力はVSSをとる。期間T 2 において、Vin1はLレベル、VinB1はHレベル、Vin2はLレベルであるので、TFT 6 1 はオフ、TFT 6 2 はオフ、TFT 6 5 はオフ、TFT 6 6 はオンする。またTFT 6 6 を介して、Vin2 (Lレベル) がTFT 6 4 に入力され、該TFT 6 4 はオンする。そして出力はVDDをとる。

#### 【 0 0 9 4 】

期間T 3 において、Vin1はHレベル、VinB1はLレベル、Vin2はLレベルであるので、TFT 6 1 はオン、TFT 6 2 はオフ、TFT 6 5 はオン、TFT 6 6 はオフする。またTFT 6 5 を介して、VDDがTFT 6 4 に入力され、該TFT 6 4 はオフする。そして出力はVSSをとる。期間T 4 において、Vin1はHレベル、VinB1はLレベル、Vin2

はHレベルであるので、TFT 6 1 はオン、TFT 6 2 はオン、TFT 6 5 はオン、TFT 6 6 はオフする。またTFT 6 5 を介して、VDDがTFT 6 4 に入力され、該TFT 6 4 はオフする。そして出力はVSSをとる。

#### 【0 0 9 5】

次いで、上記構成において、TFT 6 6 の代わりにアナログスイッチ 6 7 を配置した場合について、図 5 (C) を用いて説明する。図 5 (C) の構成は、図 5 (D) のタイミングチャートに従って動作する。なお図 5 (C) の構成とその動作の説明は、上述した図 5 (A) の構成とその動作に準ずるので、ここでは省略する。

#### 【0 0 9 6】

上記図 4 (A) 又は図 4 (C) の構成を有する本発明のNAND、上記図 5 (A) 又は図 5 (C) の構成を有する本発明のNORは、以下の(1 2)の有利な効果を奏する。

(1 2) 通常、NAND、NORは、直列に接続された2つのN型TFTと、直列に接続された2つのP型TFTの合わせて4つのTFTにより構成される。そして、従来では、オン電流を稼ぐ関係から、前記直列に接続された2つのTFTのゲート幅(W)は大きく設定されていた。そのため、そのゲートを負荷とするTFTのゲート幅も大きく設定する必要が生じ、結果的に全体として負荷が大きく、高周波動作の妨げとなっていた。しかしながら、本発明は、ダブルゲートのTFT(直列に接続された2つのTFT)をシングルゲートのTFTに変えることができる。例えば、図 4 (A) の構成では、従来直列に接続された2つのN型TFTの配置が必要であったが、本発明では1つのN型TFT 1 3により構成される。その結果、本発明では、T F Tのゲート幅を大きく設定する必要はなく、またTFTのサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート(ゲート容量)を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。

#### 【0 0 9 7】

図 4、5 では、NAND、NORについて説明したが、上記以外にも本発明を適用することができる。但し、少なくとも2つの信号を用いる回路に本発明を適用する

ことが好ましい。

#### 【0 0 9 8】

(実施の形態 5)

本発明の実施の形態について、図 8 を用いて説明する。

#### 【0 0 9 9】

図 8 (A) は表示装置の外観を示し、該表示装置は、基板 1 0 7 上に ( $x \times y$ ) 個の画素 1 0 1 がマトリクス状に配置された画素部 1 0 2 を有する。画素部 1 0 2 の周辺には、信号線駆動回路 1 0 3、第 1 の走査線駆動回路 1 0 4 及び第 2 の走査線駆動回路 1 0 5 を有する。信号線駆動回路 1 0 3、第 1 及び第 2 の走査線駆動回路 1 0 4、1 0 5 には、F P C 1 0 6 を介して外部より信号が供給される。なお信号線駆動回路 1 0 3、第 1 及び第 2 の走査線駆動回路 1 0 4、1 0 5 は、画素部 1 0 2 が形成された基板 1 0 7 の外部に配置してもよい。また図 8 では、1 つの信号線駆動回路と、2 つの走査線駆動回路が設けられているが、これらの個数は特に限定されない。これらの個数は、画素 1 0 1 の構成に応じて、任意に設定することが出来る。なお表示装置とは、画素部及び駆動回路を基板とカバー材との間に封入したパネル、前記パネルに I C 等を実装したモジュール、ディスプレイなどを範疇に含む。

#### 【0 1 0 0】

図 8 (B) は信号線駆動回路 1 0 3 の構成の一例を示し、該信号線駆動回路 1 0 3 はシフトレジスタ 1 1 1、第 1 のラッチ回路 1 1 2、第 2 のラッチ回路 1 1 3 を有する。図 8 (C) は、第 1 の走査線駆動回路 1 0 4 の構成の一例を示し、該第 1 の走査線駆動回路 1 0 4 はシフトレジスタ 1 1 4、バッファ 1 1 5 を有する。シフトレジスタ 1 1 1、1 1 4 には、図 1 ~ 3、6、7 に示した構成を自由に用いることができる。また第 1 のラッチ回路 1 1 2、第 2 のラッチ回路 1 1 3 及びバッファ 1 1 5 には、図 4、5 に示した構成、またそれ以外にも本発明を応用した回路を自由に用いることが出来る。

#### 【0 1 0 1】

本実施の形態は、実施の形態 1 ~ 4 と自由に組み合わせることができる。

#### 【0 1 0 2】

## (実施の形態 6)

本発明が適用される電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図 9 に示す。

## 【0 1 0 3】

図 9 (A) は発光装置であり、筐体 2 0 0 1、支持台 2 0 0 2、表示部 2 0 0 3、スピーカー部 2 0 0 4、ビデオ入力端子 2 0 0 5 等を含む。本発明は表示部 2 0 0 3 の駆動回路に適用することができる。また本発明により、図 9 (A) に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

## 【0 1 0 4】

図 9 (B) はデジタルスチルカメラであり、本体 2 1 0 1、表示部 2 1 0 2、受像部 2 1 0 3、操作キー 2 1 0 4、外部接続ポート 2 1 0 5、シャッター 2 1 0 6 等を含む。本発明は、表示部 2 1 0 2 の駆動回路に適用することができる。また本発明により、図 9 (B) に示すデジタルスチルカメラが完成される。

## 【0 1 0 5】

図 9 (C) はノート型パーソナルコンピュータであり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4、外部接続ポート 2 2 0 5、ポインティングマウス 2 2 0 6 等を含む。本発明は、表示部 2 2 0 3 の駆動回路に適用することができる。また本発明により、図 9 (C) に示す発光装置が完成される。

## 【0 1 0 6】

図 9 (D) はモバイルコンピュータであり、本体 2 3 0 1、表示部 2 3 0 2、スイッチ 2 3 0 3、操作キー 2 3 0 4、赤外線ポート 2 3 0 5 等を含む。本発明は、表示部 2 3 0 2 の駆動回路に適用することができる。また本発明により、図 9 (D) に示すモバイルコンピュータが完成される。

#### 【 0 1 0 7 】

図 9 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には D V D 再生装置）であり、本体 2 4 0 1、筐体 2 4 0 2、表示部 A 2 4 0 3、表示部 B 2 4 0 4、記録媒体（D V D 等）読み込み部 2 4 0 5、操作キー 2 4 0 6、スピーカ一部 2 4 0 7 等を含む。表示部 A 2 4 0 3 は主として画像情報を表示し、表示部 B 2 4 0 4 は主として文字情報を表示するが、本発明は表示部 A、B 2 4 0 3、2 4 0 4 の駆動回路に適用することができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により図 9 (E) に示す画像表示装置が完成される。

#### 【 0 1 0 8 】

図 9 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 2 5 0 1、表示部 2 5 0 2、アーム部 2 5 0 3 を含む。本発明は、表示部 2 5 0 2 の駆動回路に適用することができる。また本発明により、図 9 (F) に示すゴーグル型ディスプレイが完成される。

#### 【 0 1 0 9 】

図 9 (G) はビデオカメラであり、本体 2 6 0 1、表示部 2 6 0 2、筐体 2 6 0 3、外部接続ポート 2 6 0 4、リモコン受信部 2 6 0 5、受像部 2 6 0 6、バッテリー 2 6 0 7、音声入力部 2 6 0 8、操作キー 2 6 0 9 等を含む。本発明は、表示部 2 6 0 2 の駆動回路に適用することができる。また本発明により、図 9 (G) に示すビデオカメラが完成される。

#### 【 0 1 1 0 】

図 9 (H) は携帯電話であり、本体 2 7 0 1、筐体 2 7 0 2、表示部 2 7 0 3、音声入力部 2 7 0 4、音声出力部 2 7 0 5、操作キー 2 7 0 6、外部接続ポート 2 7 0 7、アンテナ 2 7 0 8 等を含む。本発明は、表示部 2 7 0 3 の駆動回路に適用することができる。なお、表示部 2 7 0 3 は黒色の背景に白色の文字を表

示することで携帯電話の消費電流を抑えることができる。また本発明により、図 9 (H) に示す携帯電話が完成される。

#### 【0 1 1 1】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施の形態の電子機器には、実施の形態 1 ～ 5 に示したいずれの構成を用いても良い。

#### 【0 1 1 2】

##### 【発明の効果】

第 1 又は第 2 の構成を有する本発明は、2 段前の信号を用いることで、T F T を所望のタイミングでオンさせることができる。

#### 【0 1 1 3】

第 3 又は第 4 の構成を有する本発明は、補償回路の入力端子に複数のインバータを接続させることで、補償回路が有する T F T のしきい値電圧が所望の値以下であっても、該 T F T がオンするタイミングを遅延させ、リーク電流が流れるタイミングを遅延させることができる。また補償回路が有する T F T のしきい値電圧が所望の値以上の場合には、リーク電流の発生を抑制することができる。

#### 【0 1 1 4】

第 5 又は第 6 の構成を有する本発明では、クロックドインバータが有する T F T の W と電流能力を大きく設定することで、正確に保持を行い、また立ち下がり時又は立ち上がり時に鈍りのない安定した波形の信号を供給することができる。

#### 【0 1 1 5】

上記構成を有する本発明は、ダブルゲートの T F T (直列に接続された 2 つの T F T) をシングルゲートの T F T に変えることができる。その結果、T F T のゲート幅を大きく設定する必要はなく、また T F T のサイズを小さくすることができるため、高集積化が可能となる。さらに、そのゲート (ゲート容量) を負荷とする素子の負担を軽減し、全体としても負荷が小さくなるため、高周波動作が可能となる。また、構成する T F T の電流能力を高くすることができる。さらに、本発明は、T F T のしきい値バラツキにも強く、約 3 V の振幅の信号をそのまま直に用いても、低電圧で正確に動作させることができる。

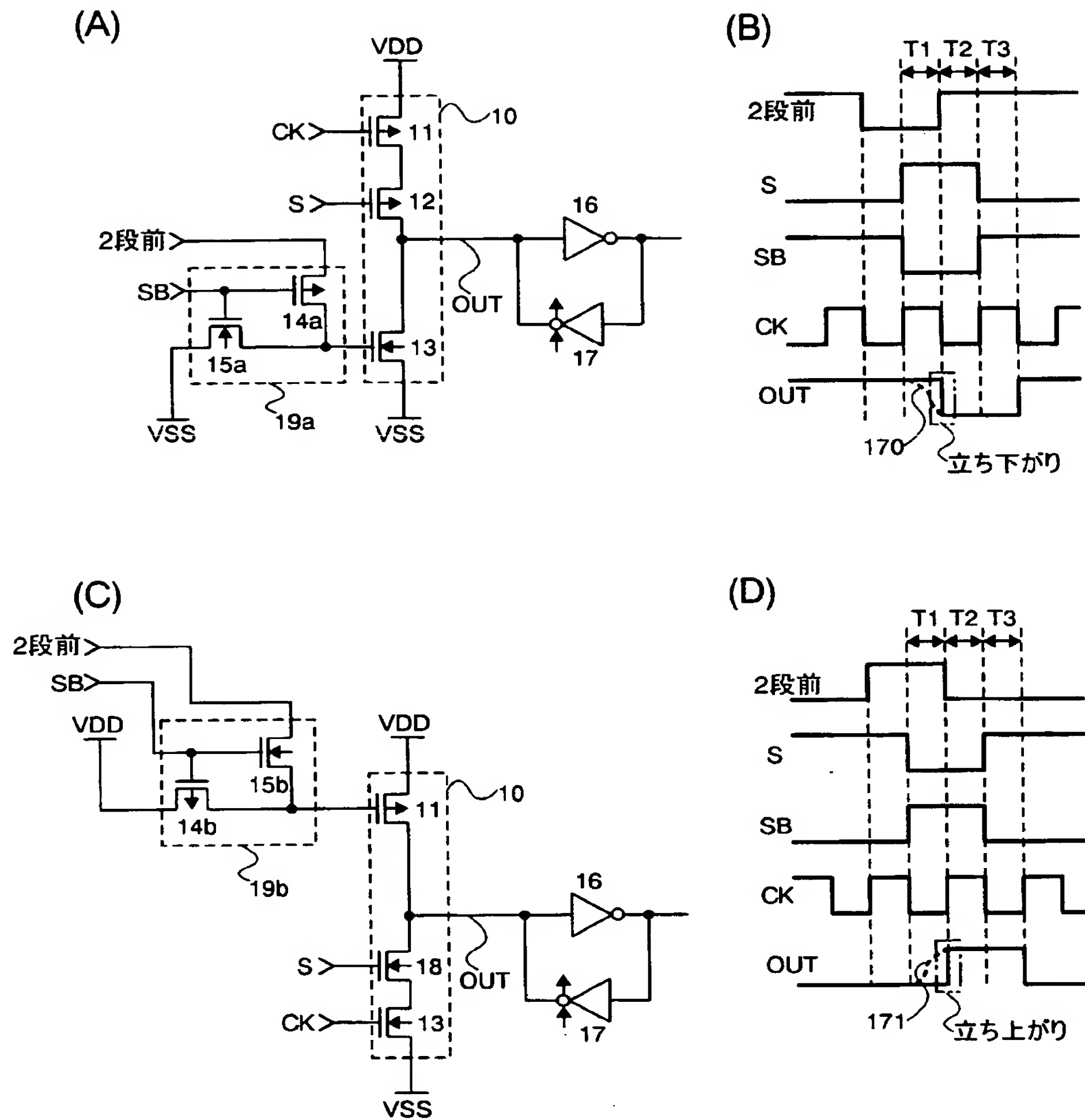
**【図面の簡単な説明】**

- 【図 1】** シフトレジスタの 1 段分の回路図。
- 【図 2】** シフトレジスタの 1 段分の回路図。
- 【図 3】** シフトレジスタの 1 段分の回路図。
- 【図 4】** NAND の回路図。
- 【図 5】** NOR の回路図。
- 【図 6】** シフトレジスタの 1 段分の回路図。
- 【図 7】** シフトレジスタの 1 段分の回路図。
- 【図 8】** パネルの図。
- 【図 9】** 電子機器の図。
- 【図 1 0】** マスクレイアウト図及び上面写真。
- 【図 1 1】** クロックドインバータ、NAND、NOR の回路図。



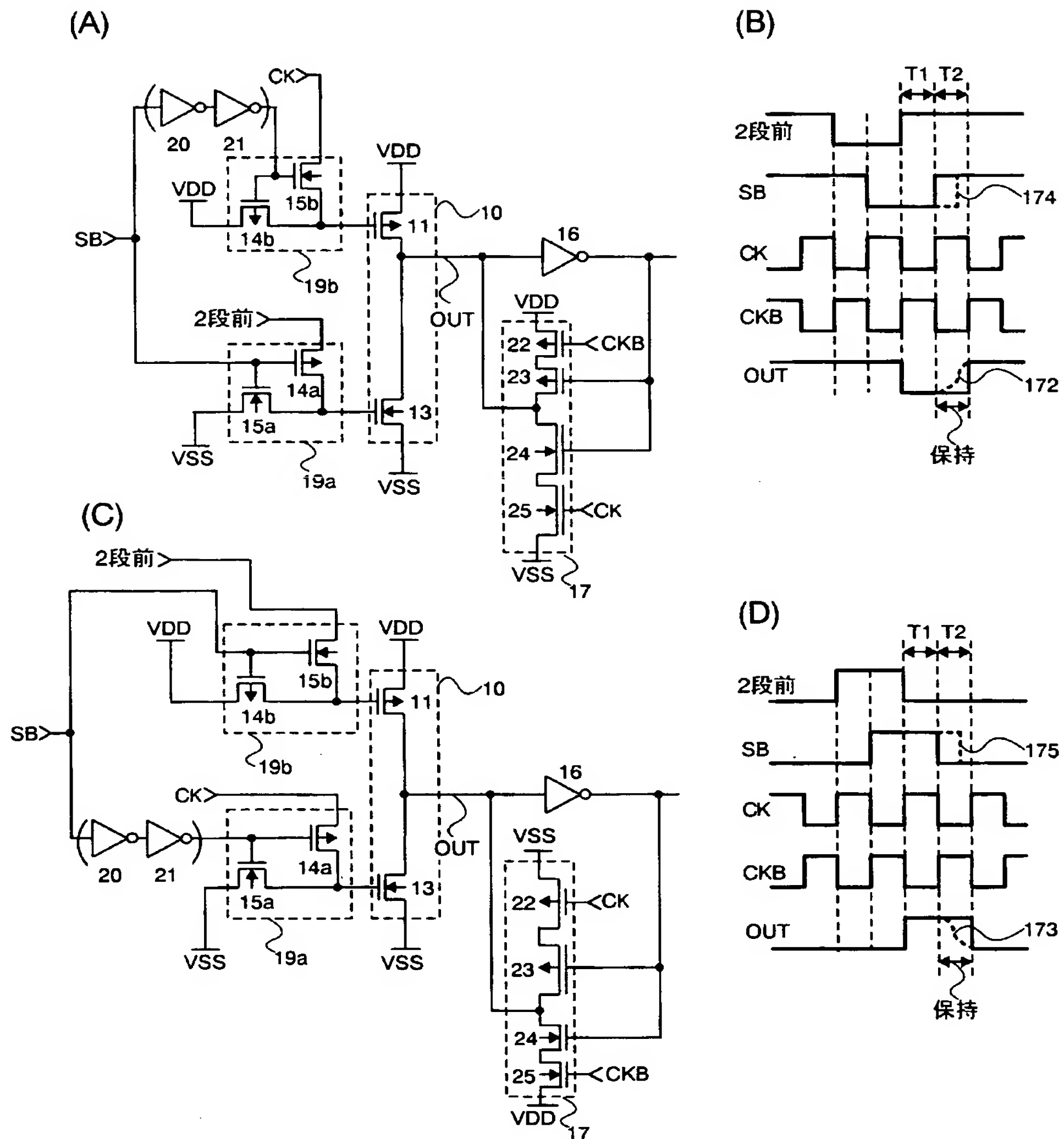
【書類名】 図面

【図 1】

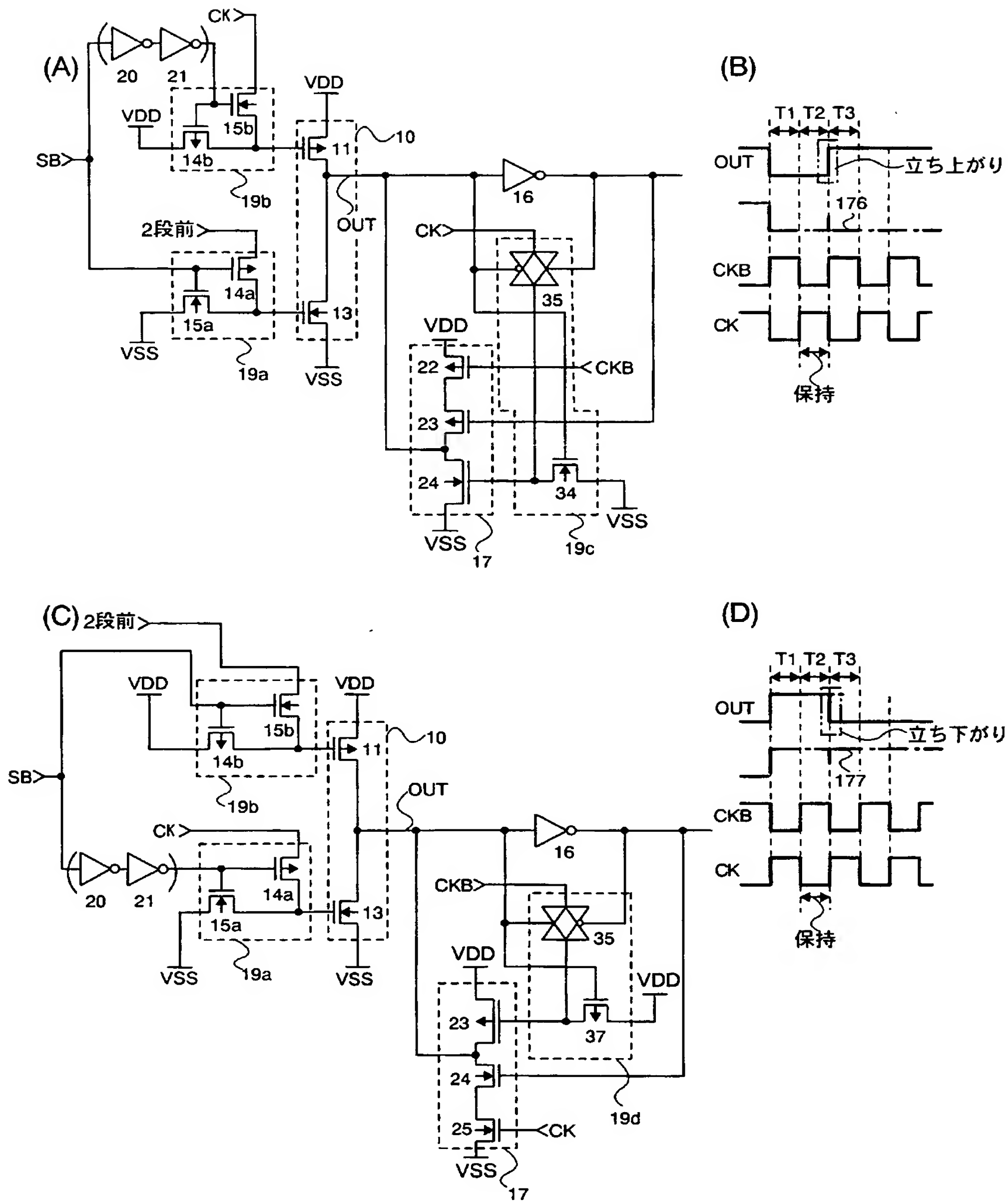




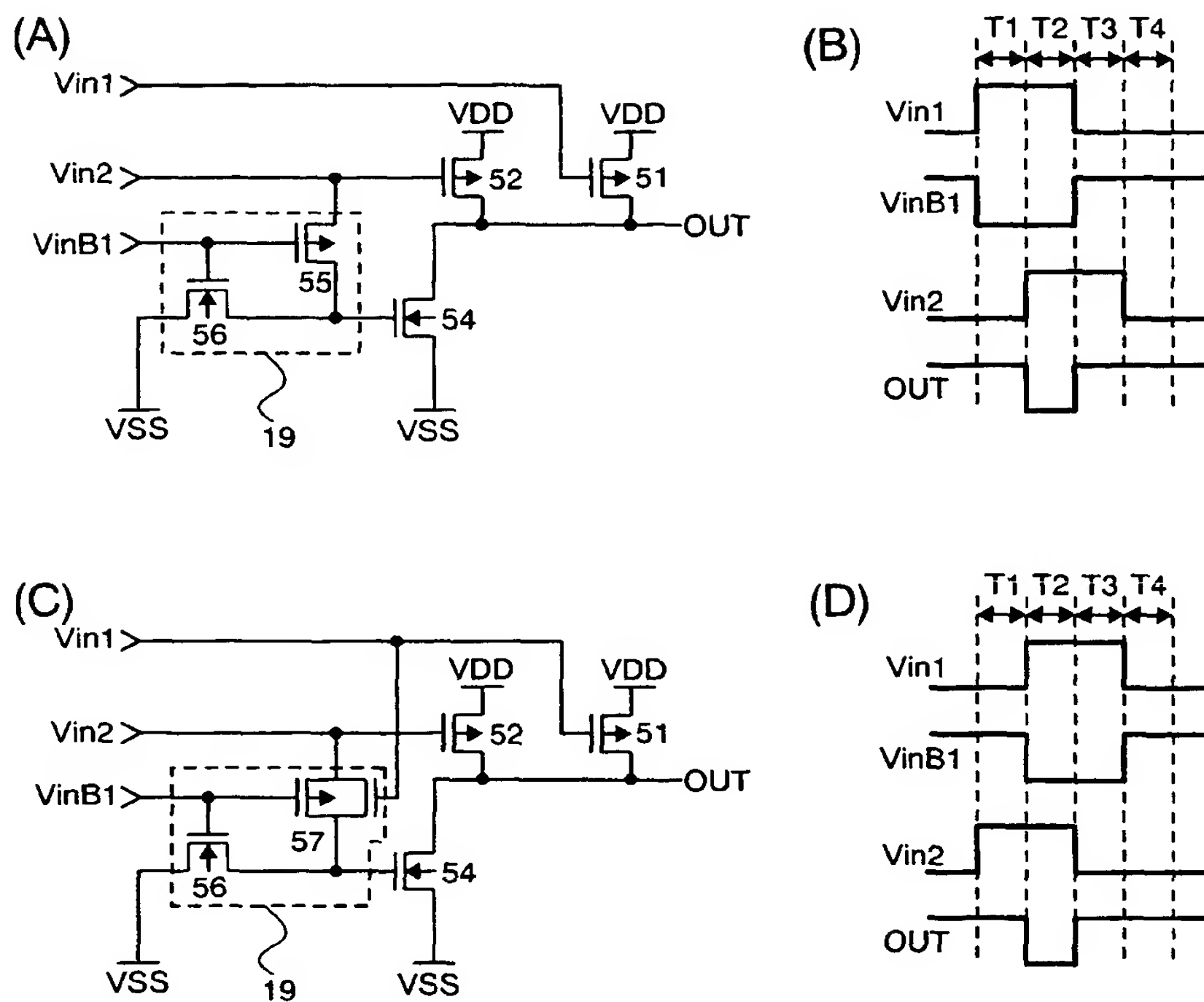
【図 2】



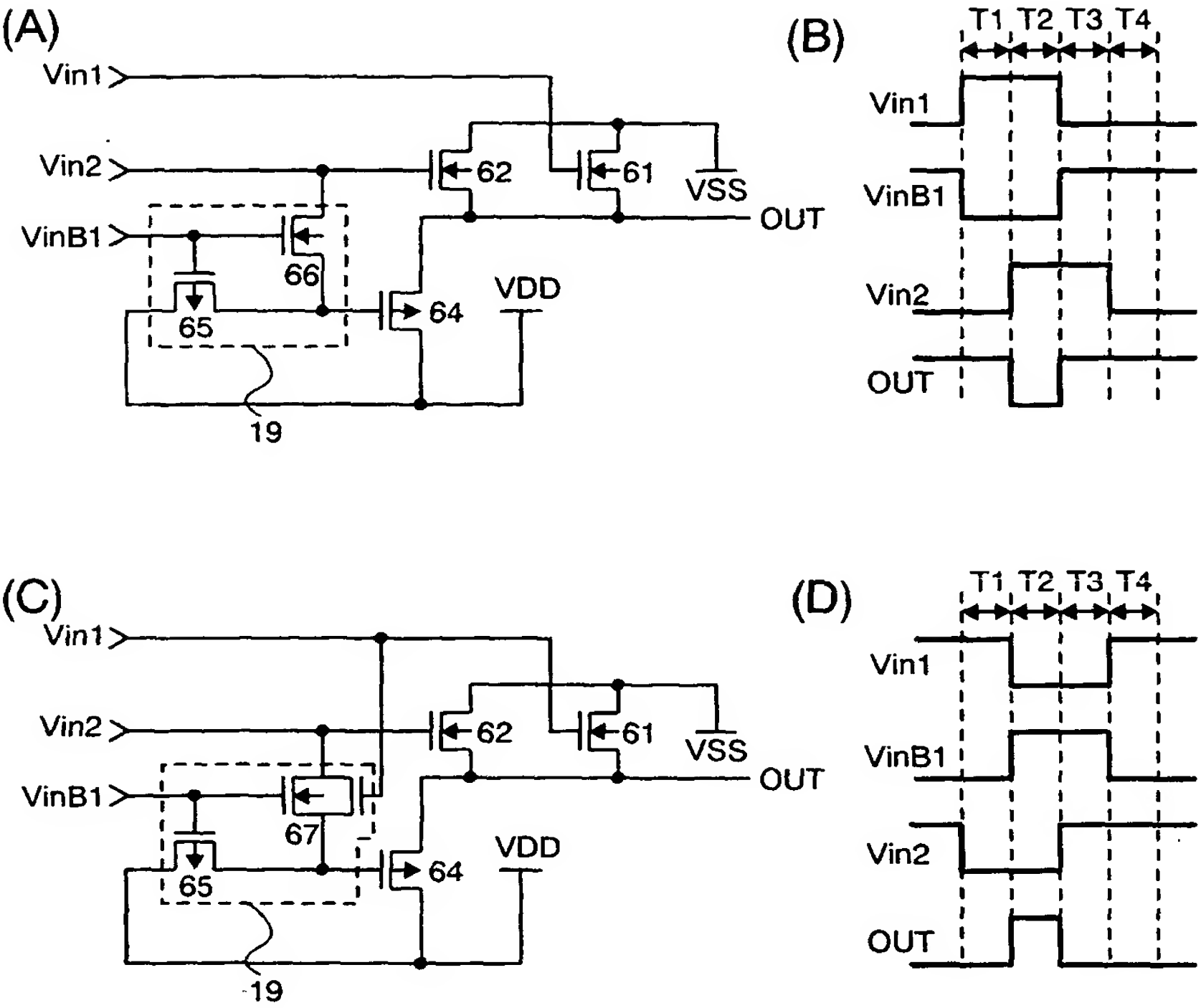
【図 3】



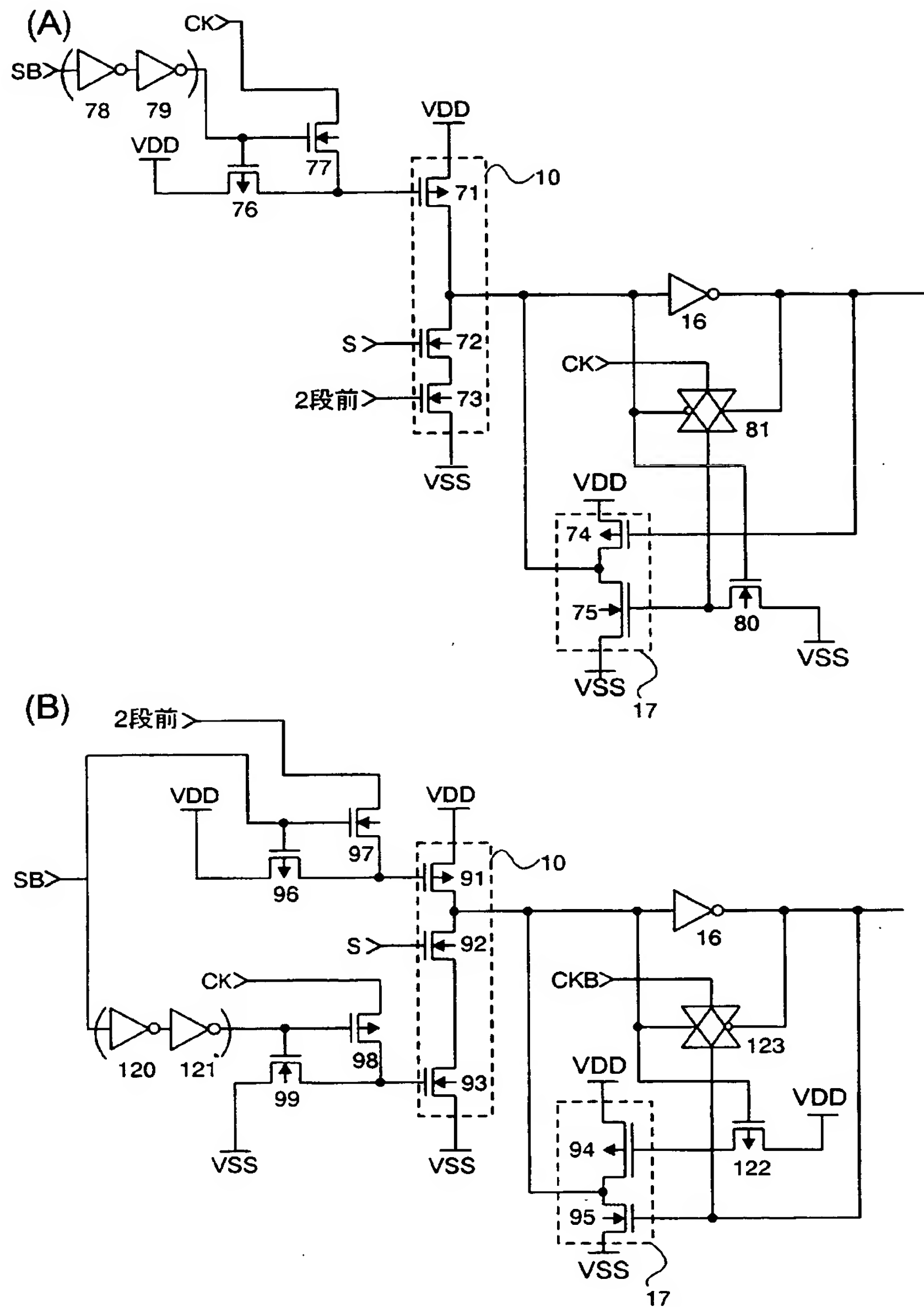
【図 4】



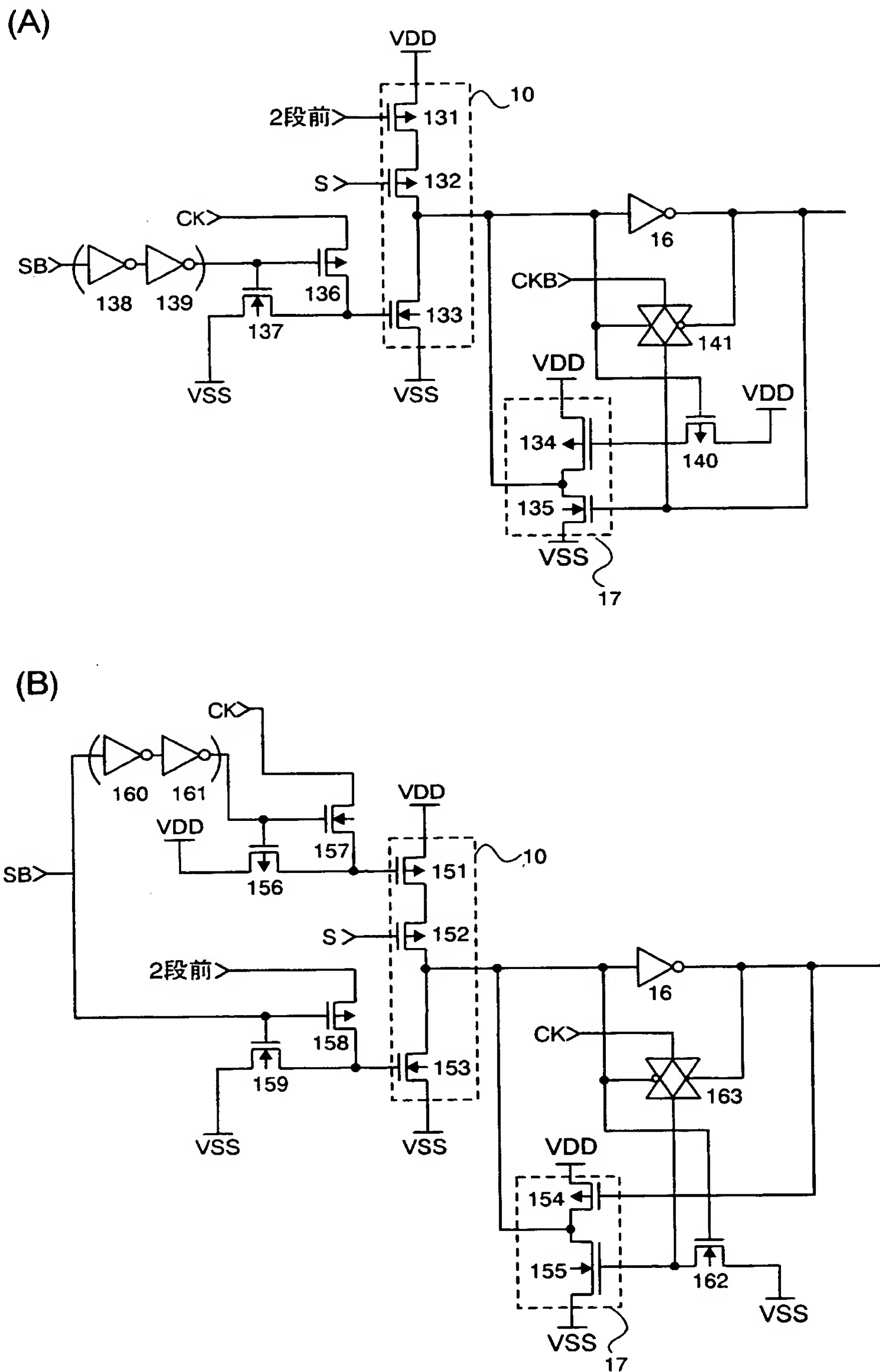
【図 5】



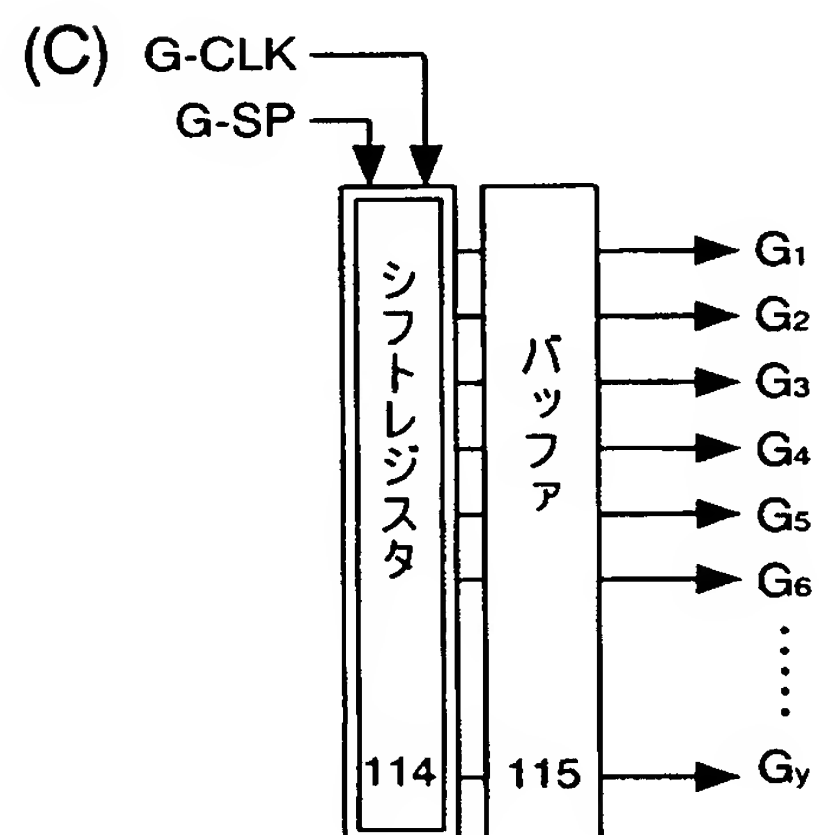
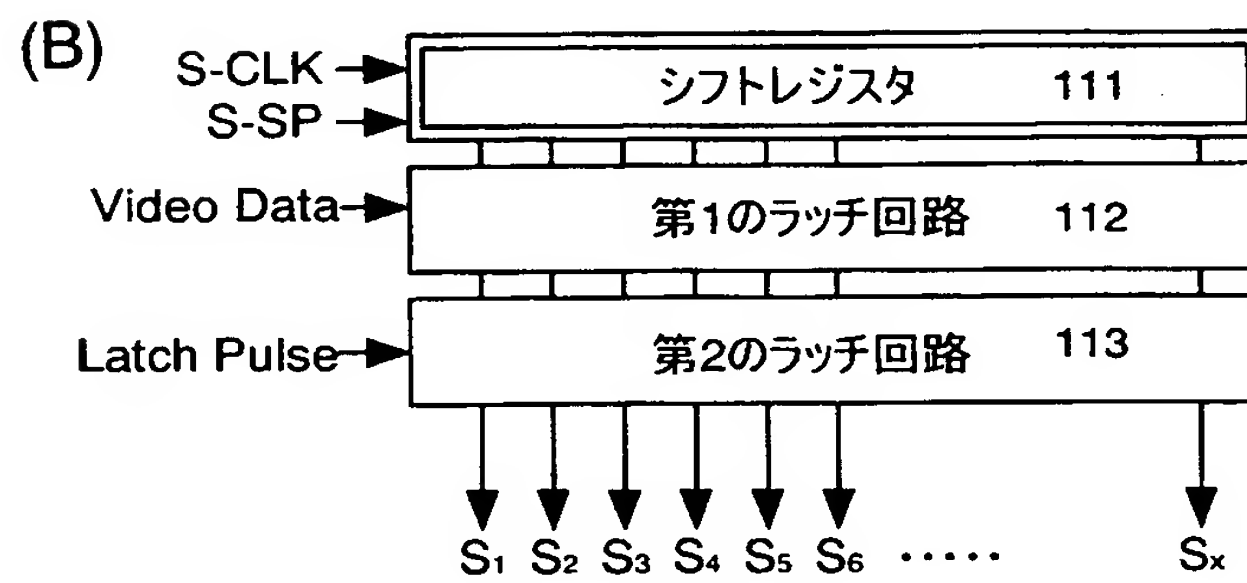
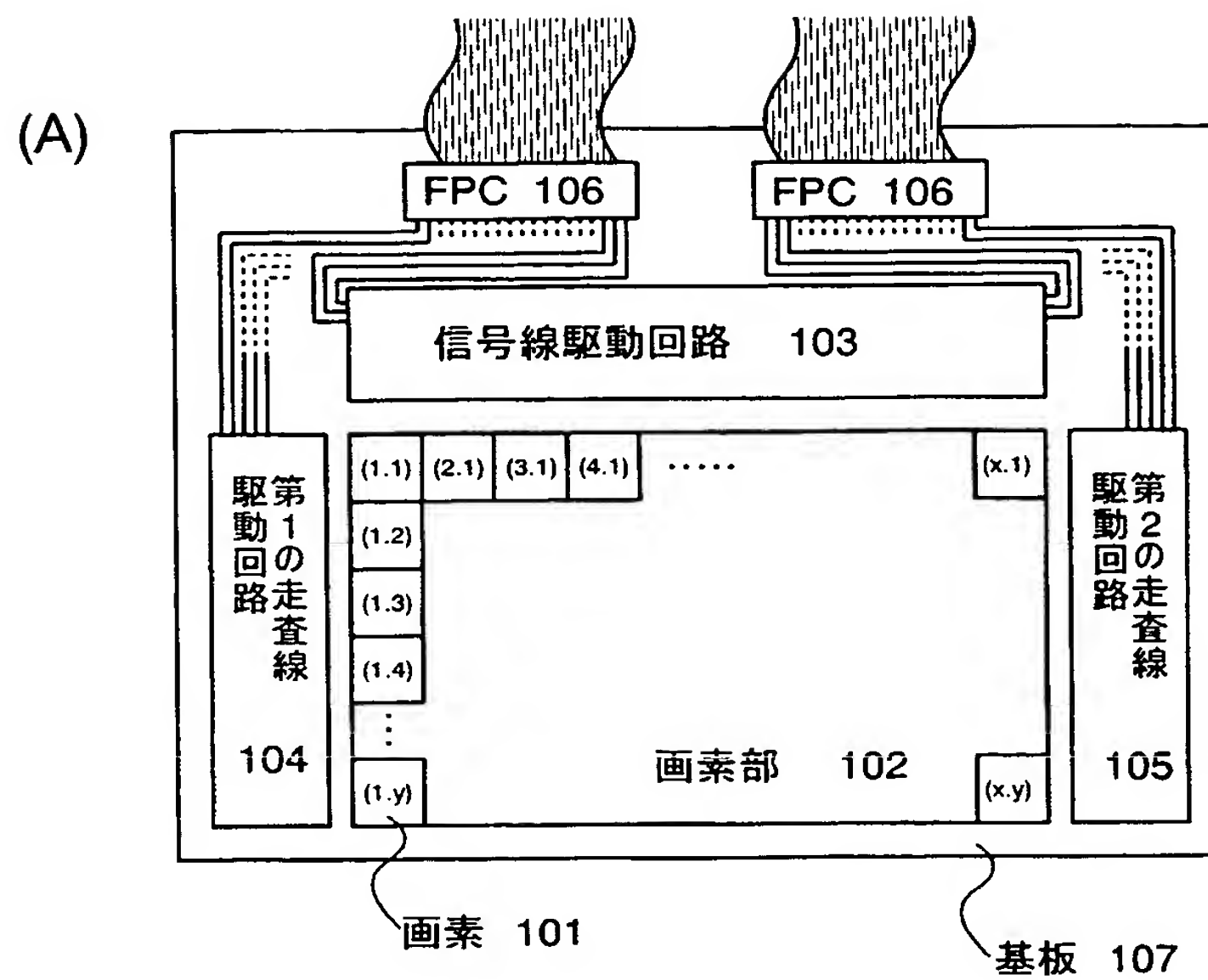
【図 6】



【図 7】

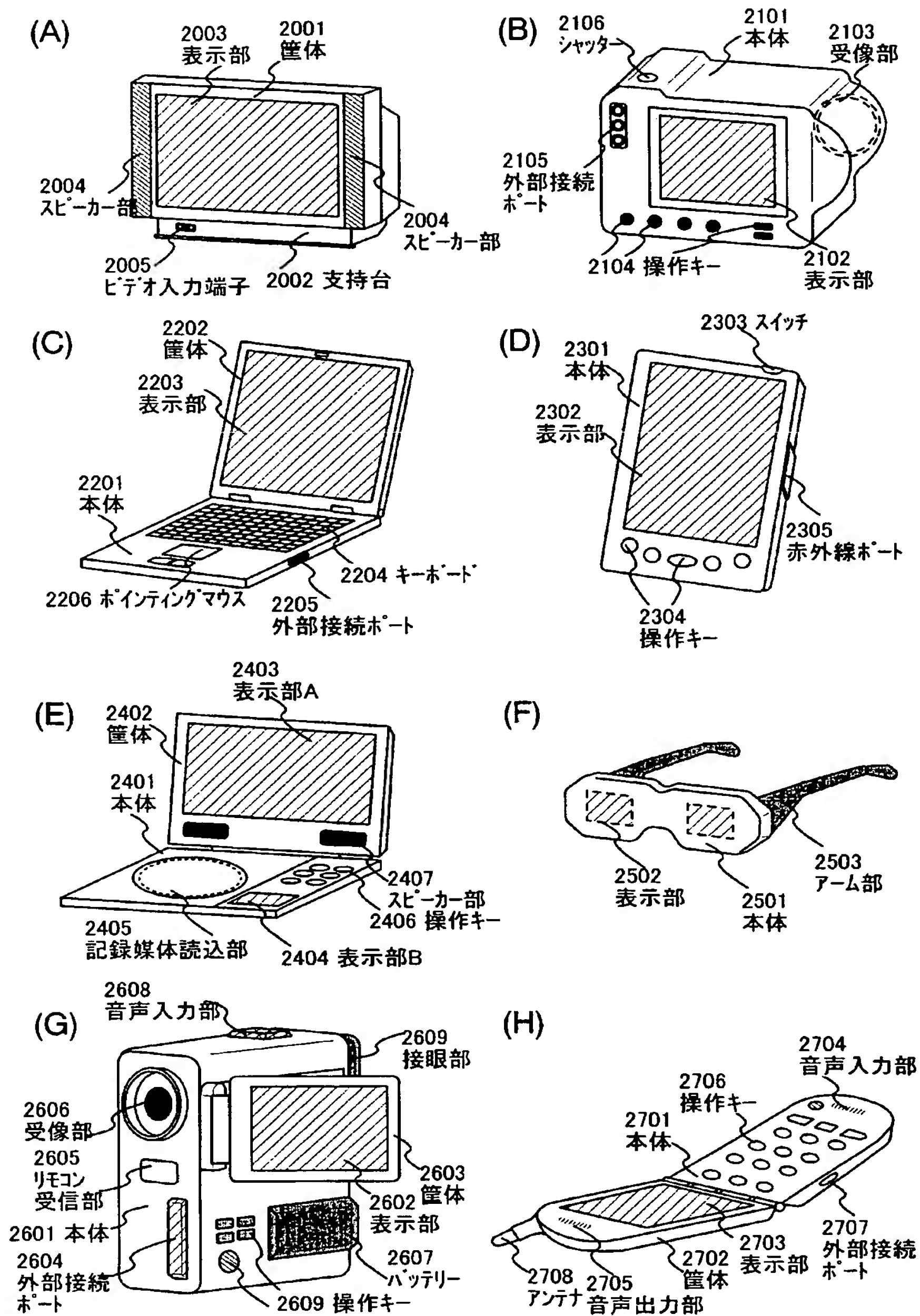


【図 8】

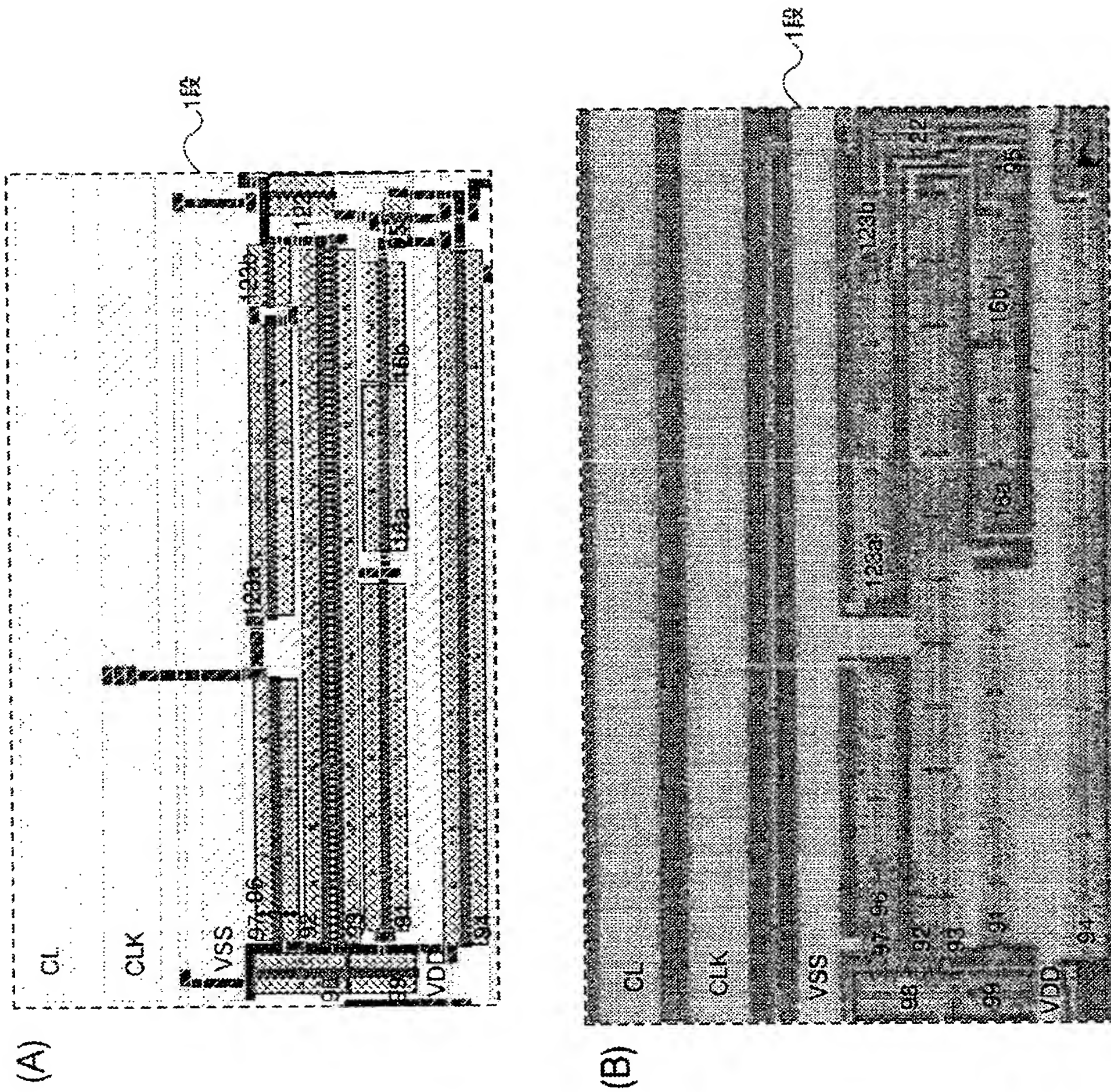




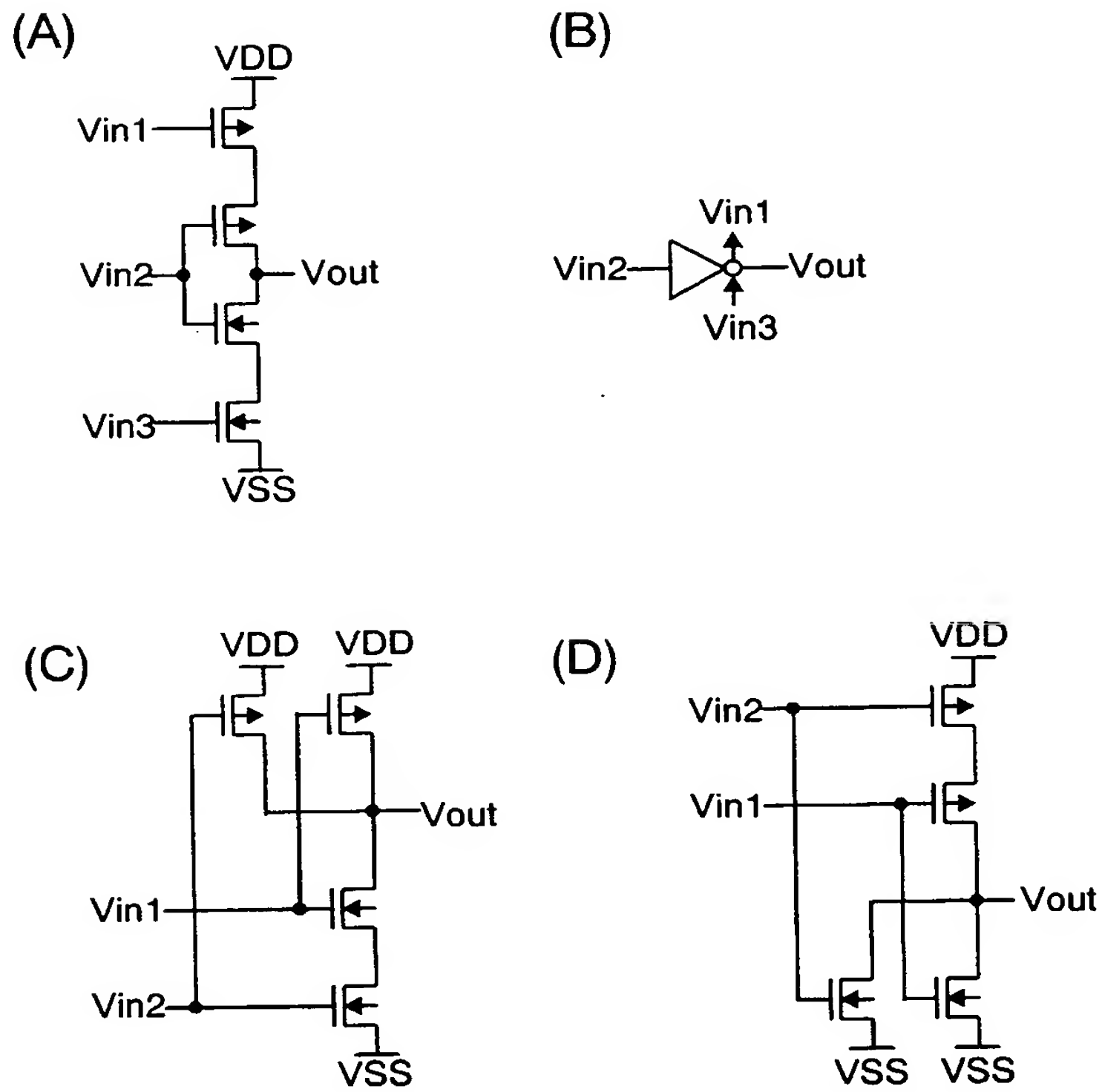
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 トランジスタは、作製工程や使用する基板の相違によって生じるゲート長及びゲート幅並びにゲート絶縁膜の膜厚バラツキなどに起因して、そのしきい値電圧にバラツキが生じる。

【解決手段】 本発明は、直列に接続された第 1 及び第 2 トランジスタを有する電気回路において、直列に接続された第 3 及び第 4 トランジスタで構成される補償回路を有する。前記補償回路の出力端子は前記第 1 トランジスタのゲートに接続され、前記第 1 及び前記第 4 トランジスタのソースは電氣的に高電位電源に接続され、前記第 2 トランジスタのソースは電氣的に低電位電源に接続される。また、前記第 3 トランジスタのソースに入力される信号の振幅は電源電圧の幅よりも小さく、前記第 1 及び前記第 4 トランジスタは P 型トランジスタであり、前記第 2 及び前記第 3 トランジスタは N 型トランジスタであることを特徴とする。

【選択図】 図 6

特願 2 0 0 2 - 2 7 8 7 2 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所